

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022166

(43)Date of publication of application : 21.01.2000

(51)Int.Cl. H01L 29/786  
H01L 21/76  
H01L 27/08

(21)Application number : 11-115418 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.04.1999 (72)Inventor : ENDO KOICHI  
ARAI HARUKI  
MASUDA KUMIKO  
SATO NOBUYUKI

(30)Priority

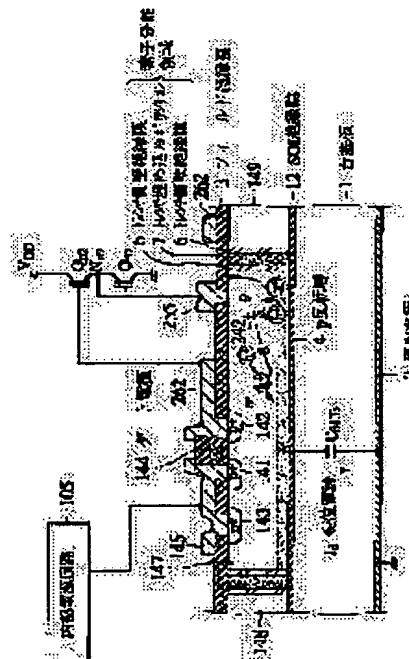
Priority number : 10121156 Priority date : 30.04.1998 Priority country : JP

## (54) DIELECTRIC SEPARATED INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a dielectric separated integrated circuit that can switch high voltage at high speed and in a stable manner.

SOLUTION: This integrated circuit uses an SOI structure/dielectric separated structure having a lower arm side circuit and a floating upper side circuit. An emitter region 242 for implanting carriers is disposed in an island-shaped semiconductor region 147, where an upper arm side switching element is formed. This emitter region 242 is formed deeper than the main electrode regions 141, 142 of the switching element. Furthermore, this emitter region 242 is connected to the neutral point terminal Nn2 of the upper arm side circuit and the lower arm side circuit. Current which is equivalent to a displacement current  $J_d$  that flows in a parasitic capacitor CSUB attributable to the SOI structure is supplied from this neutral point terminal Nn2 to reduce load on the internal power circuit, that supplies voltage to the upper arm side circuit.



LEGAL STATUS

BEST AVAILABLE COPY



## 【特許請求の範囲】

【請求項1】 第1の主電極が高压電源に接続された上アーム出力素子と、該上アーム出力素子の第2の主電極と自己の第1の主電極とを接続し、自己の第2の主電極が接地電位（GND）に接続された下アーム出力素子との直列回路からなる主力回路を駆動する集積回路であって、

底面および側面を誘電体で分離された島状の半導体領域と、

該半導体領域中に配置され、且つ、上アーム出力素子及び下アーム出力素子の内フローティング状態となる出力素子の制御電極に接続され、フローティング状態で動作するスイッチング素子と、

該スイッチング素子とは離間した位置において、前記半導体領域中に配置された、前記スイッチング素子の主電流となるキャリアと同一の導電型キャリアを前記半導体領域に注入させるためのエミッタ領域、

とを少なくとも具備することを特徴とする誘電体分離集積回路。

【請求項2】 第1の主電極が高压電源に接続された上アーム出力素子と、該上アーム出力素子の第2の主電極と自己の第1の主電極とを接続し、自己の第2の主電極が接地電位（GND）に接続された下アーム出力素子との直列回路からなる主力回路を駆動する集積回路であって、

台基板と、

該台基板の上部の埋め込み絶縁膜と、

該埋め込み絶縁膜の上部の第1導電型半導体領域と、

該第1導電型半導体領域を、該第1導電型半導体領域に隣接した他の半導体領域と互いに分離する誘電体分離領域と、

該第1導電型半導体領域中に配置された第2導電型の第1の主電極領域および第2の主電極領域を有するスイッチング素子と、

該第1導電型半導体領域中に、前記第1及び第2の主電極領域とは離間して配置された第2導電型のエミッタ領域とを少なくとも具備することを特徴とする誘電体分離集積回路。

【請求項3】 第1導電型ウェル領域を、前記第1導電型半導体領域中に更に具備し、前記第1及び第2の主電極領域は、該第1導電型ウェル領域に配置されていることを特徴とする請求項2記載の誘電体分離集積回路。

【請求項4】 第1の主電極が高压電源に接続された上アーム出力素子と、該上アーム出力素子の第2の主電極と自己の第1の主電極とを接続し、自己の第2の主電極が接地電位（GND）に接続された下アーム出力素子とを駆動するための集積回路であって、

該集積回路は、前記上アーム出力素子の制御電極に接続された上アームドライバと、前記下アーム出力素子の制御電極に接続された下アームドライバと、前記上アーム

ドライバに電源電圧を供給するための内部電源回路とを少なくとも具備し、

前記内部電源回路に接続された前記上アームドライバを構成するスイッチング素子が、底面の誘電体および側面の誘電体により隣接する他の半導体領域と分離された島状の半導体領域中に配置され、

該半導体領域は、前記底面の誘電体に起因した寄生コンデンサを流れる変位電流成分を供給するためのエミッタ領域を少なくとも具備することを特徴とする誘電体分離集積回路。

【請求項5】 第1の主電極が高压電源に接続された上アーム出力素子と、該上アーム出力素子の第2の主電極と自己の第1の主電極とを接続し、自己の第2の主電極が接地電位（GND）に接続された下アーム出力素子と、前記上アーム出力素子の制御電極に接続された上アームドライバと、前記下アーム出力素子の制御電極に接続された下アームドライバと、前記上アームドライバに

電源電圧を供給するための内部電源回路とを、同一半導体チップ上に集積化したパワーICであって、前記内部電源回路に接続された前記上アームドライバを構成するスイッチング素子が、底面の誘電体および側面の誘電体により隣接する他の半導体領域と分離された島状の半導体領域中に配置され、

該半導体領域は、前記底面の誘電体に起因した寄生コンデンサを流れる変位電流成分を供給するためのエミッタ領域を少なくとも具備することを特徴とする誘電体分離集積回路。

【請求項6】 前記エミッタ領域は前記スイッチング素子の第1及び第2の主電極領域よりも深く形成されていることを特徴とする請求項1乃至5のいずれかに記載の誘電体分離集積回路。

【請求項7】 前記エミッタ領域は前記島状の半導体領域の表面から前記底面方向に延び、前記底面の誘電体に接していることを特徴とする請求項1、4又は5記載の誘電体分離集積回路。

【請求項8】 前記エミッタ領域は第1導電型半導体領域の表面から前記台基板方向に延び、前記埋め込み絶縁膜に接していることを特徴とする請求項2又は3記載の誘電体分離集積回路。

【請求項9】 前記底面の誘電体は、前記エミッタ領域と同一導電型の半導体からなる台基板の上に形成されていることを特徴とする請求項1、4又は5記載の誘電体分離集積回路。

【請求項10】 前記台基板は、前記第2導電型の半導体基板であることを特徴とする請求項2又は3記載の誘電体分離集積回路。

【請求項11】 前記エミッタ領域は、所定の基準電位に接続されていることを特徴とする請求項1乃至10のいずれかに記載の誘電体分離集積回路。

【請求項12】 前記基準電位は上アーム主力素子と下

アーム出力素子との中点電位であることを特徴とする請求項1記載の誘電体分離集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高速スイッチング動作する誘電体分離集積回路に係り、特に高圧電源に接続された高耐压の上アーム出力素子と、接地電位(GND)に接続された高耐压の下アーム出力素子との直列回路からなる主力回路を駆動する駆動用集積回路、及び高耐压の上アーム出力素子、高耐压の下アーム出力素子と、これらの駆動用回路とを同一基板上に集積化したパワーICに関する。

【0002】

【従来の技術】図23に示すように下層から順に基板(以下において「台基板」と称す)1、埋め込み絶縁膜(SOI酸化膜)12、及びSi膜140、147、139、138、137を積層したSOI構造を用いた半導体集積回路は、高耐压特性が得やすく、集積化した各素子の寄生容量の低減化も容易で、高速動作化にも適しているという特徴を有している。さらに、SOI構造はSi膜140、147、139、138、137を薄膜化した場合には、Si膜147中に形成するMOSFET(MOS Field Effect Transistor)等の半導体素子の短チャネル効果を抑制できる為、より微細な構造が採用でき、素子の高集積化を進める手段の一つとなっている。そして、通常は、SOI構造を有した半導体集積回路は、図23に示すようにSOI酸化膜12の上に形成されたSi膜140、147、139、138、137をトレンチ側壁酸化膜6およびトレンチ埋め込みポリシリコン7からなる素子分離領域により複数の島140、147、139、138、137、…に誘電体分離して構成されている。図23は、BiCMOS構造の誘電体分離集積回路であり、Siの島147中にp<sup>+</sup>ソース領域141、p<sup>+</sup>ドレイン領域142からなるpMOSTランジスタが、Siの島139中にn<sup>+</sup>ソース領域511、n<sup>+</sup>ドレイン領域513からなるnMOSTランジスタが、Siの島138中にn<sup>+</sup>エミッタ領域601、pベース領域602、n<sup>+</sup>コレクタ領域603からなるnpnバイポーラトランジスタが形成されている。nMOSTランジスタは、pウェル501中に形成され、pウェル501には、p<sup>+</sup>コンタクト領域512が設けられている。また、Siの島147中には、n<sup>+</sup>コンタクト領域143が設けられている。

【0003】電力用半導体装置(パワーデバイス)の分野では、図24に示すような誘電体分離ICからなる誘電体分離集積回路が知られている。そして、この誘電体分離集積回路で、ICの外付けの出力素子を駆動することが一般になされている。図24は、いわゆる「ハーフブリッジドライバ」と称せられる誘電体分離ICである。特に高耐压が要求される場合は、図24に示すよう

に、上アーム出力素子Q<sub>u1</sub>と下アーム出力素子Q<sub>d1</sub>とを直列接続した外付けのパワーデバイスを構成し、この外付けのパワーデバイスをハーフブリッジドライバで駆動する構成が採用されることが多い。この場合上アーム出力素子Q<sub>u1</sub>の一方の主電極は高圧電源101に、下アーム出力素子Q<sub>d1</sub>の一方の主電極は接地電位(GND)に接続される。そして上アーム出力素子Q<sub>u1</sub>の他方の主電極と、下アーム出力素子Q<sub>d1</sub>の他方の主電極とが、中性点端子N<sub>n1</sub>に接続され、この中性点端子N<sub>n1</sub>は図示を省略した負荷に接続される。

【0004】図24に示すように、上アーム出力素子Q<sub>u1</sub>は、フローティング状態の上アームドライバ102により駆動される。すなわち外付けの上アーム出力素子Q<sub>u1</sub>の制御電極には誘電体分離集積回路の上アームドライバ102の出力端子N<sub>u1</sub>が接続される。一方外付けの下アーム出力素子Q<sub>d1</sub>の制御電極には誘電体分離集積回路の下アームドライバ103の出力端子N<sub>d1</sub>が接続される。上アームドライバ102は内部電源回路105と中性点端子N<sub>n1</sub>間に接続され、所定の電源電圧を供給される。一方下アームドライバ103は低電位側電源106と接地電位(GND)間に接続され、所定の電源電圧を供給される。上アームドライバ102にはトランジスタQ<sub>c</sub>を介して上下相分配ロジック104から上アーム用制御信号が、下アームドライバ103には上下相分配ロジック104から直接下アーム用制御信号が入力される。

【0005】SOI構造を有した誘電体分離集積回路においては、上記の上アームドライバ102、下アームドライバ103、上下相分配ロジック104、内部電源回路105等はそれぞれ複数の島に分離して形成されている。なお、図24において上アーム出力素子Q<sub>u1</sub>としてのnMOSFETには上アーム・リカバリーダイオードD<sub>u1</sub>が、下アーム出力素子Q<sub>d1</sub>としてのnMOSFETには下アーム・リカバリーダイオードD<sub>d1</sub>が並列接続されている。

【0006】図25も、同様な従来の誘電体分離集積回路を示す回路図である。すなわち、誘電体分離集積回路を構成する上アームドライバ102、下アームドライバ103をより詳細に示す図である。上アームドライバ102は上アームCMOSインバータ111と上アーム・バッファアンプ121および上アーム・コントロールロジック131から構成され、下アームドライバ103は下アームCMOSインバータ112と、下アーム・バッファアンプ122および下アーム・コントロールロジック132とから構成されている。なお、図25は外付けの上アーム出力素子Q<sub>u2</sub>、下アーム出力素子Q<sub>d2</sub>として、それぞれ、IGBT(絶縁ゲート・バイポーラトランジスタ: Insulated Gate Bipolar Transistor)を用いた場合の例である。上アーム出力素子Q<sub>u2</sub>には上アーム・リカバリーダイオードD<sub>u2</sub>が、下アーム出力素子Q

$d_2$ には下アーム・リカバリーダイオード $D_{d2}$ が並列接続されている。

【0007】図24および図25に示す構成において、上アーム出力素子 $Q_{u1}$ 、 $Q_{u2}$ 、および下アーム出力素子 $Q_{d1}$ 、 $Q_{d2}$ は、上アームドライバ102および下アームドライバ103により駆動され、それぞれ交互にオン／オフを行う。したがって中性点端子 $N_{n1}$ 、 $N_{n2}$ の電位は上アーム出力素子 $Q_{u1}$ 、 $Q_{u2}$ および下アーム出力素子 $Q_{d1}$ 、 $Q_{d2}$ の交互のオン／オフに伴って、接地電位(GND)と高圧電源101の電圧レベルの間で上昇・下降を繰り返す。

【0008】この上昇・下降の繰り返しからなるスイッチング状態の波形を、図26に模式的に示す。図26では3周期の動作のみを例示しているが、実際には所定の時間分その周期を繰り返すのはもちろんである。即ち、図26は、図24および図25のノード $N_{u1}$ 、 $N_{u2}$ における上アーム側出力 $O_u$ 、ノード $N_{n1}$ 、 $N_{n2}$ における中性出力 $O_n$ 、ノード $N_{d1}$ 、 $N_{d2}$ における下アーム側出力 $O_d$ の3出力部分を示してある。なお、図26では、見やすいように各出力 $O_u$ 、 $O_n$ 、 $O_d$ のX軸上の位置を、僅かにずらして表示しているが、実際はそれぞれの波形の変曲点はほぼオーバーラップしている。上アーム側出力 $O_u$ は外付けの上アーム出力素子 $Q_{u1}$ 、 $Q_{u2}$ のゲートに、下アーム側出力 $O_d$ は下アーム出力素子 $Q_{d1}$ 、 $Q_{d2}$ のゲートにバイアスをかける。最初の1/2周期目は下アーム側出力 $O_d$ がGNDに対し所定の電位(ゲートバイアス)を印加し、上アーム側出力 $O_u$ は中点出力 $O_n$ に対しほぼゼロである。次の1/2周期では下アーム側出力 $O_d$ はほぼGNDであるのに対し、上アーム側出力 $O_u$ は中点出力 $O_n$ との間で所定のゲートバイアスを印加する。上下の出力素子(パワーデバイス) $Q_{u1}$ 、 $Q_{u2}$ ； $Q_{d1}$ 、 $Q_{d2}$ のゲートが、交互に、それぞれのソース電位に対してゲートバイアスを印加されるため、上アーム側出力素子 $Q_{u1}$ 、 $Q_{u2}$ と下アーム側出力素子 $Q_{d1}$ 、 $Q_{d2}$ とは交互にオン・オフする。中点出力 $O_n$ の電位はそれに合わせて高圧電源 $V_{DD}$ とGNDの間を振動する。

【0009】図24および図25に示すように下アームドライバ103の最下位の電位、及び上下相分配ロジック104の最下位の電位は共にGNDに固定されている。しかし、上アームドライバ102の最下位の電位は、中性点 $N_{n1}$ 、 $N_{n2}$ が変動するとそれに合わせて上昇・下降を行うフローティング状態である。

【0010】図27(a)は、図25の上アームドライバ102を構成するCMOSインバータ111の近傍のみを示す回路図である。図27(a)に示すように、CMOSインバータ111はpMOSトランジスタ $Q_{p1}$ とnMOSトランジスタ $Q_{n1}$ とから構成され、その出力が上アーム出力素子 $Q_{u1}$ としてのIGBTのゲートに入力されている。図27(b)はこのCMOSインバータ111に着目した平面図で、図27(a)に示した上ア

ーム出力素子 $Q_{u1}$ は図示を省略している。図27(b)に示すようにpMOSトランジスタ $Q_{p1}$ は島状に形成されたn型半導体領域147中に、nMOSトランジスタ $Q_{n1}$ はp型半導体領域157中に形成されている。各n型半導体領域147およびp型半導体領域157はトレンチ側壁絶縁膜6およびトレンチ埋め込みポリシリコン7からなる素子分離領域によって互いに分離されている。図27(b)に示すようにpMOSトランジスタ $Q_{p1}$ はp<sup>+</sup>ソース領域141、p<sup>+</sup>ドレイン領域142、不純物を添加したポリシリコン(以下において「ドーパド・ポリシリコン」という。)ゲート電極144を少なくとも含んでいる。又nMOSトランジスタ $Q_{n1}$ はn<sup>+</sup>ソース領域151、n<sup>+</sup>ドレイン領域152、ドーパドポリシリコンゲート電極154を少なくとも含んでいる。さらにn型半導体領域147にはn<sup>+</sup>基板コンタクト領域143が形成され、内部電源回路105からの金属配線145により、n<sup>+</sup>基板コンタクト領域143とp<sup>+</sup>ソース領域141とが互いに接続されている。同様にp型半導体領域157にはp<sup>+</sup>基板コンタクト領域153が形成され、中点電位の金属配線155によりp<sup>+</sup>基板コンタクト領域153とn<sup>+</sup>ソース領域151とが互いに接続されている。図27(b)に示すCMOSインバータを構成するドーパドポリシリコンゲート電極144、154は、上アーム・バッファ・アンプ121(図25参照)に金属配線161により接続され、この金属配線161によりドライブ信号がドーパドポリシリコンゲート電極144、154に入力される。さらに、pMOSトランジスタ $Q_{p1}$ のp<sup>+</sup>ドレイン領域142とnMOSトランジスタ $Q_{n1}$ のn<sup>+</sup>ドレイン領域152とは金属配線162により互いに接続されている。そして、この金属配線162は、上アーム出力素子 $Q_{u2}$ として機能するIGBTのゲートに導かれている。

【0011】図28は図27(b)のA-A方向に沿った断面図である。即ち、図28は、台基板1上にSOI酸化膜(埋め込み絶縁膜)12を介してn型半導体領域147、半導体領域148、149を形成したSOI構造を示している。このSOI構造においては、SOI酸化膜(埋め込み絶縁膜)12をキャパシタ絶縁膜とし、n型半導体領域147を上部電極、裏面電極2を下部電極とするMOSキャパシタ構造が構成され、寄生コンデンサ $C_{SUB}$ が形成されることとなる。台基板1が高抵抗で誘電体と見なせるならば、台基板1は、キャパシタ絶縁膜として機能し、台基板1が実質的に導体と見なせるほど低抵抗ならば、台基板1は、下部電極として機能する。

【0012】

【発明が解決しようとする課題】このように、寄生コンデンサ $C_{SUB}$ を有するため、図28に示すようなSOI構造の誘電体分離ICでは、中点出力の電圧変動率 $dV/dt$ が数kV/ $\mu$ sec以上にスイッチング速度が速

なくなってくると、上アームドライバ102を構成しているスイッチング素子を配置している半導体領域147と、裏面電極2の間の寄生コンデンサ $C_{SUB}$ に流れる変位電流 $J_d$ が大きくなっていく。このため、図28に示すようなフローティング状態となるn型半導体領域147を素子形成領域として使用した誘電体分離集積回路の場合、内部電源回路105からp<sup>+</sup>ソース領域141を通して、底面の寄生MOS(MIS)構造 $C_{SUB}$ に変位電流 $J_d$ が流れる。そして、内部電源回路105の容量以上に変位電流 $J_d$ が流れると、電源電圧が下降し、上アームドライバ102の動きが不安定になる。

【0013】しかしながら、このようなハーフブリッジ回路に要求されるスイッチング速度(電圧変動率)は、 $20\text{ kV}/\mu\text{sec}$ くらいの値が要求されることが一般的であり、 $20\text{ kV}/\mu\text{sec}$ 程度、もしくはこれ以上の電圧変動率が必要な従来例の誘電体分離集積回路では、上アームドライバ102の安定な動作を担保するためには、必要以上に内部電源回路105の電流容量が要求されることとなる。

【0014】このように、従来のSOI構造の誘電体分離ICでは、高速動作により、変位電流 $J_d$ が増大し、内部電源回路105の電流負荷が大きくなりすぎると、内部電源回路105を構成する電流制限素子の駆動能力を越えてしまい、出力電圧が低下する事態が発生する。あるいは駆動能力を越えていなくても、負荷が急峻に変化するとその状況をフィードバックするまでのタイムラグが生じるので、このタイムラグで出力電圧の低下が起きる。このため、前述したように、出力電圧の低下を防止するために、内部電源回路105を複雑且つ大型化せざるを得なくなる。したがって、内部電源回路105の占有面積が大きくなり、誘電体分離集積回路のチップ面積を小さくできないという問題があった。さらに、内部電源回路105が大型化することにより、駆動回路の消費電力が増大し、システムとしての電力変換効率が低下するという問題があった。

【0015】図28においては、pMOSトランジスタを例示したが、上記問題点は、pMOSトランジスタに限られるものではない。nMOSトランジスタ、npnバイポーラトランジスタ、pnpバイポーラトランジスタ、あるいはダイオード等の他の半導体素子であっても、フローティング状態となる半導体領域に形成されたp拡散層やn拡散層を有し、このp拡散層やn拡散層が、内部電源回路若しくは電源回路以外の種々の内部回路に接続されるような構造の誘電体分離集積回路において共通に生じうる問題である。例えば、n型半導体領域中にpウェルがあり、その中にnMOSトランジスタが形成されている場合でも同様な問題が生じる。多くの誘電体分離集積回路では、n型半導体領域中のpウェルは低電位側、もしくは基準電位(中点電位)に接続されている。この場合はフローティング状態とはならないの

で、上記の問題は生じない。しかし、pウェルが基準電位から浮かんた、フローティング状態で用いられるnMOSトランジスタが内部電源回路に接続されている場合は、底面の寄生MOS(MIS)構造に変位電流 $J_d$ が流れ、内部電源回路の負荷が大きくなりすぎ、内部電源回路の出力電圧が低下する事態が発生する。フローティング状態で用いられるnMOSトランジスタが電源回路以外の特定の内部回路に接続されている場合は、底面の寄生MOS(MIS)構造に変位電流 $J_d$ が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動するという不都合が発生する。

【0016】図24において、破線で示したように、上アーム主力素子 $Q_{u1}$ と下アーム出力素子 $Q_{d1}$ のゲート・ソース間の保護用にツェナー・ダイオード $Z_{Du}$ 及び $Z_{Dd}$ をそれぞれ接続した場合を考えてみる。このツェナー・ダイオード $Z_{Du}$ がn拡散層に接続されていると、空乏化する際の電子電流が、ツェナー・ダイオード $Z_{Du}$ のカソードから底面の寄生MOS(MIS)構造に向かって流れる。即ち、底面の寄生MOS(MIS)構造に変位電流 $J_d$ が流れることにより、上アーム主力素子 $Q_{u1}$ のゲート電位を下げ、上アーム主力素子 $Q_{u1}$ が瞬停するというような不都合が生じる。つまり、n拡散層が特定の内部回路に接続されている場合においても、底面の寄生MOS(MIS)構造に変位電流 $J_d$ が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動するという不都合が発生する。

【0017】上記問題点を鑑み、本発明は電圧変動率 $dV/dt$ が大きくても安定に動作可能な誘電体分離集積回路を提供することである。

【0018】本発明の他の目的は、内部電源回路を小型化し、チップサイズの縮小が可能でしかも高速動作可能な誘電体分離集積回路を提供することである。

【0019】本発明のさらに他の目的は、誘電体分離集積回路に固有の底面の寄生MOS(MIS)構造に変位電流 $J_d$ が流れることを防止、若しくは低減し、或いは変位電流 $J_d$ が流れることにより、特定の内部回路に影響を及ぼすことを有効に防止でき、安定な動作が可能な誘電体分離集積回路を提供することである。

【0020】本発明のさらに他の目的は、集積回路を構成する半導体素子がフローティング状態で動作し、この半導体素子が特定の内部回路に接続されている場合において、底面の寄生MOS(MIS)構造に変位電流 $J_d$ が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動することを有効に防止でき、安定な動作が可能な誘電体分離集積回路を提供することである。

【0021】本発明のさらに他の目的は、電力変換効率が高く、且つ高速動作可能な誘電体分離集積回路を提供することである。

## 【0022】

【課題を解決するための手段】上記目的を達成するため、本発明は、第1の主電極が高圧電源に接続された上アーム出力素子と、この上アーム出力素子の第2の主電極と自己の第1の主電極とを接続し、自己の第2の主電極が接地電位（GND）に接続された下アーム出力素子との直列回路からなる主力回路を駆動する集積回路であって、底面および側面を誘電体で分離された島状の半導体領域と、この半導体領域中に配置され、且つ、上アーム出力素子及び下アーム出力素子のうちフローティング状態となる出力素子の制御電極に接続され、フローティング状態で動作するスイッチング素子と、このスイッチング素子とは離間した位置において、半導体領域中に配置された、スイッチング素子の主電流となるキャリアと同一の導電型キャリアを半導体領域に注入させるためのエミッタ領域とを少なくとも具備する誘電体分離集積回路であることを第1の特徴とする。通常は、正の高圧電源に上アーム出力素子を接続し、フローティング状態となる上アーム出力素子の制御電極に、フローティング状態で動作するスイッチング素子が接続される。この場合は、フローティング状態で動作するスイッチング素子としては、pMOSトランジスタ、pnpバイポーラトランジスタ、pチャネルSITのpチャネル半導体素子が適用できる。一方、負の高圧電源に下アーム出力素子を接続し、フローティング状態となる下アーム出力素子の制御電極に、下アームドライバがフローティング状態となるように接続される。この場合は、フローティング状態で動作するスイッチング素子としては、nMOSトランジスタ、npnバイポーラトランジスタ、nチャネルSITのnチャネル半導体素子が適用できる。ここで、「スイッチング素子の主電流となるキャリアと同一の導電型キャリア」とは、例えばpMOSトランジスタを本発明の第1の特徴におけるスイッチング素子とすれば、正孔（ホール）が「主電流となるキャリア」であるので、「同一の導電型キャリア」とは正孔（ホール）が該当する。この場合は、n型半導体領域中にp型エミッタ領域を形成すればよい。すなわち、深いp拡散領域からなるエミッタ領域を設け、このエミッタ領域を、所定の基準電位に接続して、この所定の基準電位からキャリアを供給すればよい。例えば、この基準電位は、上アーム主力素子と下アーム出力素子との中点電位を基準電位とすればよい。基準電位は、誘電体分離集積回路の仕様に合わせて適宜選定すればよい。空乏層がp拡散層からなるエミッタ領域まで届いた段階で、あるいは、p拡散層とn型半導体領域間の電位差がビルトインポテンシャル（シリコンでは、約0.6V）までバイアスされた段階で、エミッタ領域から、ホールの注入が行われる。また、エミッタ領域はスイッチング素子の主電極領域よりも深く形成すれば、埋め込み絶縁膜等の底面の誘電体上に反転層が生じる条件までバイアスされると、速やかに

エミッタ領域から変位電流成分を供給できるので好ましい。特にエミッタ領域が島状の半導体領域の表面から底面方向に延び、底面の誘電体に接していれば、底面から空乏層が伸びてくるとすぐにエミッタ領域に到達し、MOSトランジスタのソースから反転キャリアが流れ込むのと同様に、キャリアの「流入」が起こり、速やかに反転層が形成されるので好ましい。

【0023】すなわち、本発明の第1の特徴は、SOI構造／誘電体分離構造を用いた誘電体分離集積回路等の高速スイッチングICにおいて、SOI構造に固有の寄生コンデンサへの充放電のためのキャリアをエミッタ領域から注入するようにしている。従って、フローティング状態で動作するスイッチング素子が、このスイッチング素子に所定の電源電圧を供給するための内部電源回路に接続されている場合には、SOI構造に固有の充放電電流（変位電流）が、内部電源回路を経由せずに流れるようになる。このため、急激な変位電流が流れても内部電源回路に過大な負荷を与えないようにできる。また、フローティング状態で動作するスイッチング素子が、内部電源回路以外特定の内部回路に接続されている場合においても、底面の寄生MOS（MIS）構造に変位電流 $J_d$ が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動することを有効に防止でき、安定な動作が可能な誘電体分離集積回路を提供することができる。このようにして、フローティング状態で動作するスイッチング素子が、内部電源回路やその他の内部回路に接続されている場合であっても、出力電圧や回路パラメータの変動が有効に防止でき、安定且つ高速な誘電体分離集積回路の動作ができる。同時に、内部電源回路やその他の内部回路の小型・単純化が容易で、チップサイズの縮小や駆動回路の消費電力の低減が可能となる。

【0024】さらに、本発明の第1の特徴において、底面の誘電体は、エミッタ領域と同一導電型の半導体からなる台基板の上に形成されていることが好ましい。台基板とエミッタ領域とが同一導電型である場合には、台基板側に空乏層が形成され、この空乏層容量が直列接続されることにより、上記のSOI構造に固有の寄生コンデンサの容量値が小さくなる。この結果、寄生コンデンサの充放電電流（変位電流）が小さくなり、内部電源回路の負担が減少するからである。さらに、フローティング状態で動作するスイッチング素子が、内部電源回路以外特定の内部回路に接続されている場合においても、底面の寄生MOS（MIS）構造に変位電流 $J_d$ が有効に削減出来るので、変位電流 $J_d$ がこの特定の内部回路に影響を及ぼし、回路パラメータが変動することを有効に防止できる。従って、高速動作時に、安定な動作が可能な誘電体分離集積回路を提供することができる。

【0025】本発明の第2の特徴は、第1の主電極が高圧電源に接続された上アーム出力素子と、この上アーム

出力素子の第2の主電極と自己の第1の主電極とを接続し、自己の第2の主電極が接地電位（GND）に接続された下アーム出力素子との直列回路からなる主力回路を駆動する集積回路であって、台基板と、この台基板の上部の埋め込み絶縁膜と、この埋め込み絶縁膜の上部の第1導電型半導体領域と、第1導電型半導体領域を、第1導電型半導体領域に隣接した他の半導体領域と互いに分離する誘電体分離領域と、第1導電型半導体領域中に配置された第2導電型の第1の主電極領域および第2の主電極領域を有するスイッチング素子と、第1導電型半導体領域中に、第1及び第2の主電極領域とは離間して配置された第2導電型のエミッタ領域とを少なくとも具備する誘電体分離集積回路であることである。即ち、台基板と、埋め込み絶縁膜と、第1導電型半導体領域とでSOI構造が形成され、このSOI構造に固有の寄生コンデンサによる変位電流を供給するための第2導電型のエミッタ領域を第1導電型半導体領域中に設けている。通常は、正の高圧電源に上アーム出力素子を接続し、フローティング状態となる上アーム出力素子の制御電極に、フローティング状態で動作するスイッチング素子が接続される。この場合は、フローティング状態で動作するスイッチング素子としては、pMOSトランジスタ、pnバイポーラトランジスタ、pチャネルSITのpチャネル半導体素子が適用できる。一方、負の高圧電源に下アーム出力素子を接続し、フローティング状態となる下アーム出力素子の制御電極に、下アームドライバがフローティング状態となるように接続される。この場合は、フローティング状態で動作するスイッチング素子としては、nMOSトランジスタ、npnバイポーラトランジスタ、nチャネルSITのnチャネル半導体素子が適用できる。また、「第1の主電極領域」とは、FETやSITにおいては、ソース領域／ドレイン領域のいずれか一方の意であり、「第2の主電極領域」とは、ソース領域／ドレイン領域の、残る一方の領域の意である。同様に、バイポーラトランジスタにおいては、「第1の主電極領域」とは、エミッタ領域／コレクタ領域のいずれか一方の意であり、「第2の主電極領域」とは、エミッタ領域／コレクタ領域の、残る一方の領域の意であることは勿論である。即ち、ゲート電極やベース電極等の制御電極以外の電極を本発明では「第1／第2の主電極」という。

【0026】なお、第1導電型ウェル領域を、第1導電型半導体領域中に更に設け、スイッチング素子の第1及び第2の主電極領域を、この第1導電型ウェル領域に配置するようにすれば、埋め込み絶縁膜から延びる空乏層が、この第1導電型ウェル領域の位置で止まる。このように空乏層の伸びが止まっている間に、第2導電型のエミッタ領域と第1導電型半導体領域との間の電位差が、ビルトインポテンシャル分を越えると第1導電型ウェル領域からキャリアが効率的に注入できる。

【0027】また、本発明の第2の特徴に係るキャリア注入用のエミッタ領域は、所定の基準電位に接続すればよい。例えば、この基準電位は、上アームドライバと下アームドライバとを有するような誘電体分離集積回路であれば、この上アームドライバと下アームドライバの中間電位とすればよい。基準電位は、誘電体分離集積回路の仕様に合わせて適宜選定すればよい。また、キャリア注入用のエミッタ領域はスイッチング素子の第1及び第2の主電極領域よりも深く形成すれば、埋め込み絶縁膜等の底面の誘電体上に反転層が生じる条件までバイアスされると、速やかにエミッタ領域から変位電流成分を供給できるので好ましい。特に、エミッタ領域が第1導電型半導体領域の表面から台基板方向に延び、埋め込み絶縁膜に接していることが好ましい。埋め込み絶縁膜にエミッタ領域が接していれば、第1導電型半導体領域の底面から上方に空乏層が伸びてくるとすぐにエミッタ領域に到達し、MOSトランジスタのソースから反転キャリアが流れ込むのと同様に、キャリアの「流入」が起こり、速やかに反転層が形成できるからである。

【0028】本発明の第2の特徴によれば、フローティング状態で動作するスイッチング素子が、内部電源回路に接続されている場合においては、SOI構造に固有の変位電流が、内部電源回路を経由せずに流れるようになるため、急激な変位電流が流れても内部電源回路に過大な負荷を与えないようにできる。また、フローティング状態で動作するスイッチング素子が、内部電源回路以外の特定の内部回路に接続されている場合においても、底面の寄生MOS（MIS）構造に変位電流 $J_v$ が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動することを有効に防止でき、安定な動作が可能な誘電体分離集積回路を提供することができる。従って、安定かつ高速度な誘電体分離集積回路の動作が保証できる。同時に、内部電源回路やその他の内部回路の小型・単純化が容易で、チップサイズの縮小や駆動回路の消費電力の低減が可能となる。

【0029】本発明の第2の特徴において、台基板は、第2導電型の半導体基板であることが好ましい。台基板が第2導電型の半導体基板である場合には、台基板側に空乏層が形成され、この空乏層容量が直列接続されることにより、SOI構造に固有の寄生コンデンサの容量値が小さくなり、寄生コンデンサを流れる変位電流が小さくなるからである。

【0030】本発明の第3の特徴は、第1の主電極が高圧電源に接続された上アーム出力素子と、この上アーム出力素子の第2の主電極と自己の第1の主電極とを接続し、自己の第2の主電極が接地電位（GND）に接続された下アーム出力素子とを駆動するための誘電体分離集積回路に関する。即ち、この誘電体分離集積回路は、上アーム出力素子の制御電極に接続された上アームドライバと、下アーム出力素子の制御電極に接続された下ア

ムドライバと、上アームドライバに電源電圧供給するための内部電源回路とを少なくとも具備し、内部電源回路に接続された上アームドライバを構成するスイッチング素子が、第1の特徴と同様に、埋め込み絶縁膜等の底面の誘電体および側面の誘電体により隣接する他の半導体領域と分離された島状の半導体領域中に配置され、この半導体領域は、埋め込み絶縁膜等の底面の誘電体に起因した寄生コンデンサを流れる変位電流成分を供給するためのエミッタ領域を少なくとも具備していることを特徴とする。ここで、上アーム出力素子、及び／又は下アーム出力素子としては、IGBT、MOSFET、GTOサイリスタ、SIT、静電誘導サイリスタ(SIサイリスタ)等種々の出力素子が適用できる。また、上アームドライバを構成するスイッチング素子としては、pMOSトランジスタ、pnpバイポーラトランジスタ、pチャネルSIT等の種々のpチャネル半導体素子が適用できる。

【0031】ここで、本発明の第3の特徴に係るエミッタ領域は、上アーム主力素子と下アーム出力素子との中点電位等の所定の基準電位に接続すればよい。また、エミッタ領域はスイッチング素子の第1及び第2の主電極領域よりも深く形成すれば、埋め込み絶縁膜等の底面の誘電体上に反転層が生じる条件までバイアスされると、速やかにエミッタ領域から変位電流成分を供給できるので好ましい。特にエミッタ領域が島状の半導体領域の表面から底面方向に延び、底面の誘電体に接していれば、底面から空乏層が伸びてくるとすぐにエミッタ領域に到達し、MOSトランジスタのソースから反転キャリアが流れ込むのと同様に、キャリアの「流入」が起こり、速やかに反転層が形成されるので好ましい。

【0032】本発明の第3の特徴によれば、上アームドライバを構成するスイッチング素子が形成されている島状の半導体領域中にエミッタ領域を設けることにより、底面に誘電体を有するSOI構造等に固有の変位電流が、内部電源回路を経由せずに流れるようにできる。従って、高速・高電圧のスイッチングにより、急激な変位電流が流れても内部電源回路に過大な負荷を与えないようにできる。このため、安定且つ高速動作可能な、上アームドライバ/下アームドライバを有する誘電体分離集積回路の動作が保証できる。同時に、内部電源回路の小型・簡単化が容易で、チップサイズの縮小や駆動回路の消費電力の低減が可能となる。

【0033】さらに、本発明の第3の特徴において、底面の誘電体は、エミッタ領域と同一導電型の半導体からなる台基板の上に形成されていることが好ましい。台基板とエミッタ領域とが同一導電型である場合には、台基板側に空乏層が形成され、この空乏層容量が直列接続されることにより、寄生コンデンサの容量値が小さくなるからである。

【0034】本発明の第4の特徴は、第1の主電極が高

圧電源に接続された上アーム出力素子と、この上アーム出力素子の第2の主電極と自己の第1の主電極とを接続し、自己の第2の主電極が接地電位(GND)に接続された下アーム出力素子と、上アーム出力素子の制御電極に接続された上アームドライバと、下アーム出力素子の制御電極に接続された下アームドライバと、上アームドライバに電源電圧供給するための内部電源回路とを、同一半導体チップ上に集積化したパワーICに関する。即ち、このパワーICは、内部電源回路に接続された上アームドライバを構成するスイッチング素子が、埋め込み絶縁膜等の底面の誘電体および側面の誘電体により隣接する他の半導体領域と分離された島状の半導体領域中に配置され、且つこの半導体領域は、埋め込み絶縁膜等の底面の誘電体に起因した寄生コンデンサを流れる変位電流成分を供給するためのエミッタ領域を少なくとも具備することを特徴とする。ここで、スイッチング素子としては、第1の特徴で述べたpMOSトランジスタ、pnpバイポーラトランジスタ、pチャネルSIT等の種々のpチャネル半導体素子が適用できる。また、上アーム出力素子、及び／又は下アーム出力素子としては、第3の特徴で述べた、IGBT、MOSFET、GTOサイリスタ、SIT、SIサイリスタ等種々の出力素子が適用できる。

【0035】ここで、本発明の第4の特徴に係るエミッタ領域は、上アーム主力素子と下アーム出力素子との中点電位等の所定の基準電位に接続すればよい。また、エミッタ領域をスイッチング素子の第1及び第2の主電極領域よりも深く形成することが好ましい。こうすれば、フローティング状態の島状の半導体領域が、中点電位の上昇に伴い、埋め込み絶縁膜等の底面の誘電体上に反転層が生じる条件までバイアスされると、速やかにエミッタ領域から変位電流成分を供給できるようにすることが出来る。特にエミッタ領域が島状の半導体領域の表面から底面方向に延び、底面の誘電体に接していれば、底面から空乏層が伸びてくるとすぐにエミッタ領域に到達し、MOSトランジスタのソースから反転キャリアが流れ込むのと同様に、キャリアの「流入」が起こり、速やかに反転層が形成されるので好ましい。

【0036】本発明の第4の特徴によれば、上アームドライバを構成するスイッチング素子が形成されている島状の半導体領域中にエミッタ領域を設けることにより、底面に誘電体を有するSOI構造等に固有の変位電流が、内部電源回路を経由せずに流れるようにできる。従って、高速・高電圧のスイッチングにより、急激な変位電流が流れても内部電源回路に過大な負荷を与えないようにできる。このため、安定且つ高速動作可能な、上アーム出力素子/下アーム出力素子/上アームドライバ/下アームドライバを同一チップ上に集積化したパワーICの動作が保証できる。同時に、内部電源回路の小型・簡単化が容易で、チップサイズの縮小や駆動回路の消費

電力の低減が可能となる。

【0037】さらに、本発明の第4の特徴において、底面の誘電体は、エミッタ領域と同一導電型の半導体からなる台基板の上に形成されていることが好ましい。台基板とエミッタ領域とが同一導電型である場合には、台基板側に空乏層が形成され、この空乏層容量が直列接続されることにより、寄生コンデンサの容量値が小さくなるからである。

【0038】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0039】(第1の実施の形態)図1は本発明の第1の実施の形態に係る誘電体分離集積回路の回路図である。本発明の第1の実施の形態に係る誘電体分離集積回路は、前述した「ハーフブリッジドライバ」と称せられる誘電体分離ICで、図1に示すように、上アーム出力素子 $Q_{u1}$ と下アーム出力素子 $Q_{d1}$ とを直列接続した外付けのパワーデバイスを駆動する構成である。外付けの上アーム出力素子 $Q_{u2}$ 、下アーム出力素子 $Q_{d2}$ として、それぞれ、IGBTを用いた場合の例であるが、IGBTの代わりにMOSFET、GTO、サイリスタ、SIT、SISサイリスタ等の他の出力素子でもかまわないことは勿論である。上アーム出力素子 $Q_{u2}$ の一方の主電極(第1の主電極)は高压電源101に、下アーム出力素子 $Q_{d2}$ の一方の主電極(第2の主電極)は接地電位(GND)に接続されている。そして上アーム出力素子 $Q_{u2}$ の他方の主電極(第2の主電極)と、下アーム出力素子 $Q_{d2}$ の他方の主電極(第1の主電極)とが、中性点端子 $N_{n2}$ に接続され、この中性点端子 $N_{n2}$ は図示を省略した負荷に接続される。上アーム出力素子 $Q_{u2}$ には上アーム・リカバリーダイオード $D_{u2}$ が、下アーム出力素子 $Q_{d2}$ には下アーム・リカバリーダイオード $D_{d2}$ が並列接続されている。

【0040】図1に示すように、上アーム出力素子 $Q_{u2}$ は、フローティング状態の上アームドライバ102により駆動される。すなわち外付けの上アーム出力素子 $Q_{u2}$ の制御電極には誘電体分離集積回路の上アームドライバ102の出力端子 $N_{u2}$ が接続される。一方外付けの下アーム出力素子 $Q_{d2}$ の制御電極には誘電体分離集積回路の下アームドライバ103の出力端子 $N_{d2}$ が接続される。上アームドライバ102は内部電源回路105と中性点端子 $N_{n2}$ 間に接続され、所定の電源電圧を供給される。一方下アームドライバ103は低電位側電源106と接

地電位(GND)間に接続され、所定の電源電圧を供給される。上アームドライバ102にはトランジスタ $Q_c$ を介して上下相分配ロジック104から上アーム用制御信号が、下アームドライバ103には上下相分配ロジック104から直接下アーム用制御信号が入力される。

【0041】図1に示すように、上アームドライバ102は上アームCMOSインバータ111と上アーム・バッファンプ121および上アーム・コントロールロジック131から構成されている。一方、下アームドライバ103は下アームCMOSインバータ112と、下アーム・バッファンプ122および下アーム・コントロールロジック132とから構成されている。

【0042】図1に示す構成において、上アーム出力素子 $Q_{u2}$ 、および下アーム出力素子 $Q_{d2}$ は、上アームドライバ102および下アームドライバ103により駆動され、それぞれ交互にオン/オフを行う。したがって中性点端子 $N_{n2}$ の電位は上アーム出力素子 $Q_{u2}$ および下アーム出力素子 $Q_{d2}$ の交互のオン/オフに伴って、接地電位(GND)と高压電源101の電圧レベルの間で上昇・下降を繰り返す。

【0043】図2(a)は、図1に示した本発明の第1の実施の形態に係る誘電体分離集積回路の上アームドライバの一部を取り出して示した回路図である。CMOSインバータ111はpMOSTランジスタ $Q_{pp}$ とnMOSTランジスタ $Q_{nn}$ とから構成されている。pMOSTランジスタ $Q_{pp}$ のソース電極(第1の主電極)は、内部電源回路105に、ドレイン電極(第2の主電極)は、nMOSTランジスタ $Q_{nn}$ のドレイン電極に接続されている。そして、pMOSTランジスタ $Q_{pp}$ の基板電極は、ソース電極に接続されると共に、バイパスダイオード $D_{bp}$ を介して中性点端子 $N_{n2}$ に接続されている。

【0044】図2(b)は、図2(a)に対応した部分平面図で、CMOSインバータ111に着目した平面パターンの一例を示す。図2(b)に示すように、本発明の第1の実施の形態に係るpMOSTランジスタ $Q_{pp}$ は、島状に形成されたn型半導体領域147中に、nMOSTランジスタ $Q_{nn}$ はp型半導体領域157中に形成されている。各n型半導体領域147およびp型半導体領域157はトレンチ側壁絶縁膜6およびトレンチ埋め込みポリシリコン7からなる素子分離領域によって互いに分離されている。pMOSTランジスタ $Q_{pp}$ はp<sup>+</sup>ソース領域(第1の主電極領域)141、p<sup>+</sup>ドレイン領域(第2の主電極領域)142、ドープド・ポリシリコンゲート電極144を少なくとも含んでいる。又nMOSTランジスタ $Q_{nn}$ はn<sup>+</sup>ソース領域151、n<sup>+</sup>ドレイン領域152、ドープドポリシリコンゲート電極154を少なくとも含んでいる。さらにn型半導体領域147にはn<sup>+</sup>基板コンタクト領域143が形成され、内部電源回路105からの金属配線145により、n<sup>+</sup>基板コンタクト領域143とp<sup>+</sup>ソース領域141とが互い

に接続されている。そして、 $n$ 型半導体領域147には、 $p$ 拡散層から成る $p$ エミッタ領域242が設けられている。この $p$ エミッタ領域242は、金属配線255により中性点端子 $N_{n2}$ に接続されている。この中点電位の金属配線255は、 $p$ 型半導体領域157中に形成された $p^+$ 基板コンタクト領域153と $n^+$ ソース領域151をも、互いに接続している。さらに、CMOSインバータ111を構成するドーパドポリシリコンゲート電極144、154は、図1に示した上アーム・バッファ・アンプ121に、金属配線161により接続されている。この金属配線161によりドライブ信号がドーパドポリシリコンゲート電極144、154に入力される。さらに、 $p$ MOSTランジスタ $Q_{pp}$ の $p^+$ ドレイン領域142と $n$ MOSTランジスタ $Q_{nn}$ の $n^+$ ドレイン領域152とは金属配線262により互いに接続されている。そして、この金属配線262は、上アーム出力素子 $Q_{n2}$ として機能するIGBTのゲートに接続されている。

【0045】図3は図2(b)のB-B方向に沿った階段断面図である。台基板1上にSOI酸化膜(埋め込み絶縁膜)12を介して $n$ 型半導体領域147、半導体領域148、149を形成したSOI構造であることは、従来の技術と同様である。すなわち、本発明の第1の実施の形態に係る誘電体分離集積回路は、底面の誘電体12および側面の誘電体6で分離された島状の半導体領域147を有し、この半導体領域147中に、 $p^+$ ソース領域141、 $p^+$ ドレイン領域142、ドーパド・ポリシリコンゲート電極144を少なくとも含んだスイッチング素子が配置されている。このスイッチング素子は、フローティング状態で動作する $p$ MOSTランジスタであり、正孔(ホール)が主電流を担うキャリアである。そして、図3に示すように、本発明の第1の実施の形態に係る誘電体分離集積回路では、島状の半導体領域( $n$ 型半導体領域)147に比較的深い $p$ 拡散層から成る $p$ エミッタ領域242を設けてある。 $p$ エミッタ領域242の電位は図1に示すように中性点 $N_{n2}$ に接続している。そして、図3に示すように、SOI酸化膜12の上に形成された $n$ 型半導体領域147は、トレンチ側壁酸化膜6およびトレンチ埋め込みポリシリコン7からなる素子分離領域により、他の半導体領域148、149、...から誘電体分離されて構成されている。

【0046】図3に示すように、比較的深い $p$ 拡散層からなる $p$ エミッタ領域242を設けておくと、基板電位に対して素子電位が変動した時、SOI酸化膜(埋め込み絶縁膜)12、 $n$ 型半導体領域147及び裏面電極2とで構成される寄生コンデンサ $C_{SUB}$ による変位電流 $J_d$ は主に $p$ エミッタ領域242からのホールの注入によって供給される。このホールは中性点 $N_{n2}$ から下側のバイパスダイオード $D_b$ を経由して流れ込むため、内部電源回路105を一切経由しない。そのため、従来問題にな

った変位電流 $J_d$ による内部電源電圧の低下は起こりにくくなる。

【0047】図4は本発明の第1の実施の形態に係る誘電体分離集積回路に用いる内部電源回路105の一例として、「ブートストラップ方式」の内部電源回路を用いた場合の回路構成の詳細を示す。ノード $N_5$ を入力端子、ノード $N_6$ を出力端子とし、さらにノード $N_7$ を共通端子としている。ノード $N_5$ は図1に示すようにダイオード $D_1$ を介して低電位側電極106に接続され、ノード $N_6$ は図1および図2に示すように上アームドライブ中の $p$ MOSTランジスタ $Q_{pp}$ のソース電極(ソース領域)9に接続されている。又、図1においては、図示を省略しているが、図4に示すノード $N_7$ は、上アーム回路ブロック内ではノード $N_{n2}$ の中点電位に接続される。 $n$ MOSTランジスタ $Q_{IP5}$ のゲート電極にダイオード $D_{51}$ を介してノード $N_6$ の電圧がフィードバックされ一定電圧を出力することができる。ダイオード $D_1$ は上アーム出力素子 $Q_{u2}$ および下アーム出力素子 $Q_{d2}$ と同じ耐圧を持つようにしておく。ダイオード $D_1$ との接続部分にコンデンサ $C_1$ が入っているのが重要な点で、このコンデンサ $C_1$ を用いて、以下のようなブートストラップ方式の動作を行う。

【0048】(1)下アーム出力素子 $Q_{d2}$ がオンで上アーム出力素子 $Q_{u2}$ がオフの時：中性点端子 $N_{n2}$ の電位(中点電位)は、ほぼ低電位のGNDと同電位であるから、内部電源回路105の入力にはダイオード $D_1$ を介してほぼ低電位側電源106の電圧がかかる。同時にコンデンサ $C_1$ にも電荷が充電され、コンデンサ $C_1$ の両端の電位はほぼ低電位側電源106の電圧に近い値となる。

【0049】(2)下アーム出力素子 $Q_{d2}$ をオフにし、上アーム出力素子 $Q_{u2}$ をオンに切り替える時：中性点端子 $N_{n2}$ の電位(中点電位)はほぼ高電圧まで引き上げられる。

【0050】内部電源回路105の入力の電位は、中性点端子 $N_{n2}$ の電位の上昇分にコンデンサ $C_1$ 内の両端の電圧が重畳された形で引き上げられる。即ち、内部電源回路105の入力にはコンデンサ $C_1$ を電源としてバイアス印加される。このとき、内部電源回路105の入力は、低電位側電源106とはダイオード $D_1$ により分離された形になる。その後、コンデンサ $C_1$ は徐々に放電を開始するので、内部電源回路105の入力電位は次第に減衰する。

【0051】実際の回路では、上アーム出力素子 $Q_{u2}$ および下アーム出力素子 $Q_{d2}$ の交互のオン/オフの周期よりも、コンデンサ $C_1$ の放電の時定数が充分大きくなるように、コンデンサ $C_1$ の容量値を選択し、コンデンサ $C_1$ の放電の完了までに(1)の状態に戻して充電し、(2)の状態へ復帰する、という動作を繰り返す。(1)から(2)の状態に変化するとき、及び(2)から(1)の状態に復帰するときにおいて、寄生コンデンサ $C_{SUB}$ による変位電

流 $J_d$ が流れる。但し、(2)から(1)の状態に復帰するときの変位電流 $J_d$ は、反転電荷が多数キャリアにより消滅するプロセスになるので、通常は誘電体分離集積回路の動作に大きな影響を与えない。(1)から(2)の状態に変化する時の変位電流 $J_d$ は、本発明の第1の実施の形態に係る誘電体分離集積回路においては、主にpエミッタ領域242からのホールの注入によって供給される。このホールは中性点 $N_{n2}$ から下側のバイパスダイオード $D_{bp}$ を経由して流れ込むため、内部電源回路105を一切経由しない。そのため、図4に示すような簡単な内部電源回路105の回路構成でも、従来問題になった変位電流 $J_d$ による内部電源電圧の低下は起こりにくくなる。即ち、図4に示すような小型の内部電源回路を用いることにより、チップサイズの縮小ができる。また、図4に示すような単純な回路では消費電力も少なく、駆動回路の低消費電力化が容易となるので、システムとしての電力変換効率も高くなる。この結果、安定で、且つ高速動作可能な高耐圧誘電体分離集積回路が実現出来る。

【0052】また、フローティング状態で動作するpMOSトランジスタ $Q_{pr}$ が、内部電源回路以外の特定の内部回路に接続されている場合においても、底面の寄生MOS(MIS)構造に変位電流 $J_d$ が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動することを有効に防止できるので、安定な動作が可能な誘電体分離集積回路を提供することができる。このようにして、フローティング状態で動作するpMOSトランジスタ $Q_{pr}$ が、内部電源回路やその他の内部回路に接続されている場合において、出力電圧や回路パラメータの変動が有効に防止でき、安定且つ高速な誘電体分離集積回路の動作ができる。同時に、内部電源回路やその他の内部回路の小型・単純化が容易で、チップサイズの縮小や駆動回路の消費電力の低減が可能となる。

【0053】図3に示したSOI構造は直接接合法(Silicon Direct Bonding:以下「SDB法」という)を用いて形成してもよいし、SDB法とSIMOX(Separationby Implanted Oxygen)法を組み合わせてもよい。あるいはエピタキシャル成長法によって形成してもよい。埋め込み絶縁膜(SOI酸化膜)12の厚みはSDB法で作成する場合は1~10 $\mu$ m程度が好ましい。SDB法の場合はたとえば、以下のようにすればよい。

【0054】(a)台基板1としては不純物密度 $5 \times 10^{12} \text{ cm}^{-3} \sim 1 \times 10^{15} \text{ cm}^{-3}$ 程度で厚さ250~600nmのn型シリコン基板を用い、この表面に熱酸化法又はCVD法等により厚さ1~10 $\mu$ mの埋め込み絶縁膜(SOI酸化膜)12を形成し、もし必要ならば、さらにその表面を鏡面に研磨する(熱酸化膜の場合は通常鏡面研磨は不要である)。3 $\mu$ m程度以上の厚い埋め込み絶縁膜(SOI酸化膜)12を形成するには、高压酸化法等を用いても良い。

【0055】(b)次にSOI酸化膜12を介して表面

を鏡面に研磨したn<sup>+</sup>型基板(147、148、149、…)とp型シリコン(台基板)1とを貼り合わせればよい(上述したように、もともと鏡面の表面を有しているような一定の場合は、n<sup>+</sup>型基板の鏡面研磨は不要であることは言うまでもない)。また、SDB法は電圧をかけて熱処理する陽極接合法でもよい。SDB法による貼り合わせ後、n型基板(147、148、149、…)は所望の厚み、たとえば1~30 $\mu$ mになるように研磨し、その厚みを調整すればよい。

【0056】(c)次にnMOSトランジスタの配置用のpウェル形成工程と同時にpエミッタ領域を形成する。例えば加速電圧 $V_{ac} = 50 \sim 150 \text{ kV}$ 、ドーズ量 $1 \times 10^{12}$ 乃至 $5 \times 10^{13} \text{ cm}^{-2}$ で、 $^{11}\text{B}^+$ をイオン注入し、所定の拡散深さになるように熱処理をすればよい。

【0057】(d)その後、熱酸化法により厚さ0.3~1 $\mu$ mの酸化膜をn型基板(147、148、149、…)の表面に形成し、フォトリソグラフィ法を用いて、この酸化膜に図2(b)に示すような格子状の開口部パターンを形成する。格子状の開口部パターンは、フォトレジストをマスクとして $\text{CF}_4$ 等を用いたRIE法、もしくはECREッチング法等により酸化膜をエッチングすればよい。そして、酸化膜のエッチングに用いたフォトレジストを除去し、酸化膜をマスクとして、n型基板(147、148、149、…)を $\text{CF}_4 + \text{O}_2$ 、 $\text{SF}_6 + \text{O}_2$ 、 $\text{SF}_6 + \text{H}_2$ 、 $\text{CCl}_4$ 、あるいは $\text{SiCl}_4$ 等を用いたRIE法、マイクロ波プラズマエッチ法、もしくはECREッチング法等によりエッチングし、n型基板(147、148、149、…)中に素子分離用トレンチ(溝)を形成する。pエミッタ領域の中央部に素子分離用トレンチ(溝)を形成すれば、隣接した2つの島領域にそれぞれ、pエミッタ領域ができる。

【0058】(e)次に、熱酸化法により、素子分離用トレンチの内壁にトレンチ側壁絶縁膜(酸化膜)6を形成する。その後、不純物を添加しない多結晶シリコン、あるいは酸素を添加した多結晶シリコン(Semi-Insulating Poly-Silicon; SIPOS)等をCVDすることにより素子分離用トレンチの内部を埋め込み、化学的機械研磨(Chemical Mechanical Polishing: CMP)等により表面を平坦化し、多結晶シリコン等を埋め込み、素子分離領域を形成する。素子分離用トレンチの内部には酸化膜( $\text{SiO}_2$ )や窒化膜( $\text{Si}_3\text{N}_4$ )等の絶縁物を埋め込んでも良いことは勿論である。

【0059】(f)この後は、標準的なMOSプロセスやBiCMOSプロセス等のICプロセスで、pMOSトランジスタ、nMOSトランジスタ、あるいはバイポーラトランジスタ等所定の半導体素子を形成すればよい。これらの公知のICプロセスの説明は省略する。

【0060】なお、上記説明では、pウェル形成工程と同時にpエミッタ領域を形成する場合を説明したが、単

独の工程で、不純物密度  $5 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の高不純物密度 p エミッタ領域を形成してもよい。高不純物密度 p エミッタ領域を形成すれば、寄生コンデンサを流れる変位電流成分となるキャリアの注入効率を高めることが出来る。また、埋め込み素子分離領域を形成後に、p エミッタ領域を形成するようなプロセス・フローでもよい。

【0061】本発明の第1の実施の形態に係る誘電体分離集積回路においては、バイアス印加時の変位電流  $J_d$  は、まず第1に埋め込み絶縁膜12の表面から上方に空乏層が広がり、電子を排出することで流れる。さらにバイアスが高くなると、図3に示すように、埋め込み絶縁膜12の表面の上方に p 反転層4が生ずる条件となり、p エミッタ領域からホール ( $h^+$ ) が注入される。もし、空乏層が p エミッタ領域242まで届いていない場合には、p-n 接合間のビルトインポテンシャル分だけバイアスされないとホール ( $h^+$ ) が注入されない。従って、原理的には、p エミッタ領域242は深いほどホール供給に効果がある。

【0062】最も極端な例では、埋め込み絶縁膜 (SOI 酸化膜) 12 に p エミッタ領域が到達している場合である。台基板1の電位で SOI 酸化膜12上に反転層4が生じる条件までバイアスされるとホールは速やかに p エミッタ領域242から供給される。図5は、台基板1上に SOI 酸化膜 (埋め込み絶縁膜) 12 を介して n 型半導体領域147を形成した SOI 構造であるが、n 型半導体領域147をほぼ貫通する程度に深く形成された p エミッタ領域243を示している。図5では p エミッタ領域243は埋め込み絶縁膜12まで、完全には届いていないが、到達していればなお望ましい。このように深く p エミッタ領域243を形成しておく、底面から空乏層が伸びてくるとすぐに p エミッタ領域243に到達する。空乏層が p エミッタ領域まで到達すると、先の「注入」とは異なり「流入」が起こる。これは MOS トランジスタのソースから反転キャリアが流れ込むのと同じ原理である。したがって、先の注入の場合よりも速やかに反転層が形成され、そのキャリア供給源は中点電位となる。そのため、内部電源回路105はより安定したものとなる。また、図5に示した p MOS トランジスタがフローティング状態で動作し、この p MOS トランジスタが、内部電源回路以外の特定の内部回路に接続されている場合においても、底面の寄生 MOS (MIS) 構造に変位電流  $J_d$  が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動することを有効に防止できるので、安定な動作が可能な誘電体分離集積回路を提供することができる。このようにして、図5に示した p MOS トランジスタが、内部電源回路やその他の内部回路に接続されている場合において、出力電圧や回路パラメータの変動が有効に防止でき、安定且つ高速な誘電体分離集積回路の動作ができる。同時に、内

部電源回路やその他の内部回路の小型・簡単化が容易で、チップサイズの縮小や駆動回路の消費電力の低減が可能となる。

【0063】図6乃至図8は、埋め込み絶縁膜 (SOI 酸化膜) 12 に p エミッタ領域が到達している場合である。図6は、p エミッタ領域243a がトレンチ側壁絶縁膜 (酸化膜) 6 に接している。即ち、2つの p エミッタ領域243a 及び243b の中央部にトレンチ (溝) を形成して、面積効率向上させている。周知のように、熱拡散においては、深さ方向の7割乃至8割が横方向に拡散する。したがって、n 型半導体領域147の厚さが厚い場合は、埋め込み絶縁膜 (SOI 酸化膜) 12 に p エミッタ領域が到達するようにするためには、p エミッタ領域243a が横方向に拡散し、広い面積を占有することになる。この場合は、溝幅に比し、深さの深い、即ち、アスペクト比の大きな拡散用トレンチを先ず形成し、このトレンチの側壁及び底面から不純物拡散し、図7に示すように、p エミッタ領域246を形成すればよい。不純物拡散後、図7に示すように、トレンチの内部を、ドーパドポリシリコン、若しくはタングステン (W)、チタン (Ti)、モリブデン (Mo) 等の高融点金属からなる導電性物質247で埋めればよい。こうすれば、小さな占有面積で、アスペクト比の大きく、且つ抵抗の低い p エミッタ領域246を形成することが出来る。導電性物質247としては、これらの高融点金属のシリサイド ( $\text{WSi}_2$ ,  $\text{TiSi}_2$ ,  $\text{MoSi}_2$ ) 等、あるいはこれらのシリサイドを用いたポリサイドで構成してもよい。導電性物質247は、埋め込み絶縁膜 (SOI 酸化膜) 12 に到達するように深く形成してもかまわない。図6乃至8に示すように、深く p エミッタ領域243a、246を形成しておくことにより、空乏層が p エミッタ領域243a、246に常時接した状態であるので、速やかに反転層が形成され、キャリアは直ちに、空乏層直下の反転層に「流入」できる。そのため、内部電源回路105はより安定したものとなる。また、図6乃至8に示した p MOS トランジスタがフローティング状態で動作し、この p MOS トランジスタが、内部電源回路以外の特定の内部回路に接続されている場合においても、底面の寄生 MOS (MIS) 構造に変位電流  $J_d$  が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動することを有効に防止できるので、安定な動作が可能な誘電体分離集積回路を提供することができる。このようにして、図6乃至8に示した p MOS トランジスタが、内部電源回路やその他の内部回路に接続されている場合において、出力電圧や回路パラメータの変動が有効に防止でき、安定且つ高速な誘電体分離集積回路の動作ができる。同時に、内部電源回路やその他の内部回路の小型・簡単化が容易で、チップサイズの縮小や駆動回路の消費電力の低減が可能となる。

【0064】図8は、拡散用トレンチを形成し、この拡散用トレンチの側壁から横方向に不純物拡散し、pエミッタ領域248a及び248bを形成し、その後、拡散用トレンチ部に素子分離用トレンチを形成した構造を示す。図8に示すように、深くpエミッタ領域248a及び248bを形成しておく、と、速やかに反転層が形成され、反転層にキャリアが流入できる。そのため、内部電源回路105の出力電圧の変動、或いは内部電源回路以外の特定の内部回路に接続されている場合はその内部回路の回路パラメータの変動が有効に防止でき、安定且つ高速な誘電体分離集積回路の動作ができる。

【0065】図8に示すような、深いpエミッタ領域248a及び248bを有する誘電体分離集積回路は、図9乃至図14に示す工程平面図及び断面図に示す方法で製造できる。

【0066】(a) 先ず、前述と同様に、SDB法等により、台基板1の上に、埋め込み絶縁膜(SOI酸化膜)12を介して、厚さ10~50 $\mu$ mのn型基板346を形成したSOI基板を用意する。更に、n型基板346の表面に、熱酸化法により厚さ0.3~1 $\mu$ mの酸化膜347を形成し、フォトリソグラフィ法を用いて、この酸化膜347の一部に図9(a)に示すような矩形の開口部を形成する。矩形の開口部は、フォトレジストをマスクとしてRIE法、もしくはECREッチング法等により酸化膜347をエッチングすればよい。そして、酸化膜347のエッチングに用いたフォトレジストを除去し、酸化膜347をマスクとして、RIE法等によりエッチングし、図9(b)に示すような拡散用トレンチ348を形成する。拡散用トレンチ348は、埋め込み絶縁膜(SOI酸化膜)12に到達しても良く、底部に厚さ1~2 $\mu$ mのn型基板346が残存するようにしても良い。図9(b)は、図9(a)のB-Bに沿った階段断面図である。

【0067】(b) 次にこの拡散用トレンチ348の側壁及び底面から、BN等の固体ソース若しくはBB<sub>r3</sub>等の液体ソースを用いた気相拡散(アレドポジション)を行い、更に、図10(a)及び11Bに示すような所定の拡散深さになるように熱処理をし、pエミッタ領域349を形成する。図10(b)は、図10(a)のB-Bに沿った階段断面図である。なお、気相拡散の代わりに、SOI基板を回転しながら斜めイオン注入し、その後、熱処理をしてpエミッタ領域349を形成することも可能である。

【0068】(c) その後、フォトリソグラフィ法を用いて、この酸化膜347に図11(a)に示すような格子状の開口部パターンを形成する。格子状の開口部パターンは、フォトレジストをマスクとしてRIE法、もしくはECREッチング法等により酸化膜347をエッチングすればよい。そして、酸化膜347のエッチングに用いたフォトレジストを除去し、酸化膜347をマ

スクとして、n型基板346をRIE法等によりエッチングし、n型基板346中に素子分離用トレンチ(溝)351を形成する。この結果、図11(a)及び12Bに示すように、pエミッタ領域349の中央部に素子分離用トレンチ(溝)351が形成され、隣接した2つの島領域147、149にそれぞれ、pエミッタ領域248a、248bができる。図11(b)は、図11(a)のB-Bに沿った階段断面図である。

【0069】(d) 次に、図12(a)及び13Bに示すように、熱酸化法により、素子分離用トレンチ351の内壁にトレンチ側壁絶縁膜(酸化膜)6を形成する。図12(b)は、図12(a)のB-Bに沿った階段断面図である。その後、不純物を添加しない多結晶シリコン、あるいは酸素を添加した多結晶シリコン(Semi-Insulating Poly-Silicon; SIPOS)等をCVD法により堆積し、CMP法等により表面を平坦化することによりトレンチ埋め込みポリシリコン7を素子分離用トレンチの内部に埋め込み、素子分離領域を形成する。トレンチ埋め込みポリシリコン7の代わりに、酸化膜(SiO<sub>2</sub>)や窒化膜(Si<sub>3</sub>N<sub>4</sub>)等の絶縁物を素子分離用トレンチ351に埋め込んでも良いことは勿論である。

【0070】(e) この後、島領域147の表面の全面に窒化膜を形成して、フォトリソグラフィ法を用いて、素子形成領域及びn<sup>+</sup>基板コンタクト領域143形成予定部の表面にのみ窒化膜を残存させる。この窒化膜をマスクとして、島領域147の表面にフィールド酸化膜3を形成する。窒化膜マスクを形成した素子形成領域及びn<sup>+</sup>基板コンタクト領域143形成予定部には、フィールド酸化膜3は形成されない。そして、窒化膜を除去してから、素子形成領域及びn<sup>+</sup>基板コンタクト領域143形成予定部に、ゲート酸化膜331を形成する。次に、ゲート酸化膜331の上の全面にCVD法によりポリシリコン膜を400nm程度堆積する。そして、フォトレジスト膜をポリシリコン膜上に形成し、フォトリソグラフィ法によりフォトレジスト膜をパターンニングする。そして、このフォトレジスト膜をマスクとして、図13(a)及び14Bに示すように、RIEなどによりポリシリコン膜をエッチングして、ゲート電極144を形成する。図13(b)は、図13(a)のB-Bに沿った階段断面図である。その後、フォトレジスト膜39を除去する。次に、新たなフォトレジスト膜で素子形成領域等をカバーし、n<sup>+</sup>基板コンタクト領域143形成予定部に選択的に砒素(As)をドーズ量10<sup>15</sup>cm<sup>-2</sup>のオーダーでイオン注入する(このときnMOSFETのソース・ドレイン領域にも砒素(As)をイオン注入する)。その後、図13(a)及び14Bに示すように、更に新たなフォトレジスト膜332でn<sup>+</sup>基板コンタクト領域143及びnMOSFETのソース・ドレイン領域をカバーする。そして、ポリシリコンゲート電極144をマスクとして、自己整合的に、ボロン(B)を

ドーパ量  $10^{15} \text{ cm}^{-2}$  のオーダーでイオン注入する。この時、ポリシリコンゲート電極144にもボロン(B)がイオン注入される。その後、フォトレジスト膜332を除去する。

【0071】(f) について、n型半導体領域147を、加熱処理し、この熱処理により不純物を所定の深さまで拡散し、図14(a)及び15Bに示すように、p<sup>+</sup>ソース領域141、p<sup>+</sup>ドレイン領域142及びn<sup>+</sup>基板コンタクト領域143を形成する。図14(b)は、図14(a)のB-Bに沿った階段断面図である。この時、ポリシリコンゲート電極144に注入されたボロン(B)も活性化されるので、ポリシリコンゲート電極144が低抵抗化する。次に、層間絶縁膜333を堆積させる。この表面に、フォトリソグラフィ法を用いてパターンニングされたフォトレジスト膜をマスクにして、RIE若しくはECRIイオンエッチング等により層間絶縁膜333をエッチングし、コンタクト孔を形成する。その後、このコンタクト孔の形成に用いたフォトレジスト膜47を除去し、スパッタリング法又は電子ビーム蒸着法等によりアルミニウム合金膜(A1-Si, A1-Cu-Si)を形成する。この上に、フォトリソグラフィ法を用いて、フォトレジスト膜のマスクを形成し、このマスクを用いて、金属配線145、161、262、263を形成すれば、アスペクト比が大きく、深いpエミッタ領域248a及び248bを有した誘電体分離集積回路が完成する。

【0072】図15は本発明の第1の実施の形態に係る誘電体分離集積回路の変形例の平面図で、図2(b)とはpエミッタ領域244の位置が異なる。pエミッタ領域244は、金属配線256により中性点端子 $N_{n2}$ に接続されている。この中点電位の金属配線256は、p型半導体領域157中に形成されたp<sup>+</sup>基板コンタクト領域153とn<sup>+</sup>ソース領域151をも、互いに接続している。n型半導体領域147には、n<sup>+</sup>基板コンタクト領域143が形成され、内部電源回路105からの金属配線145により、n<sup>+</sup>基板コンタクト領域143とp<sup>+</sup>ソース領域141とが互いに接続されていることは図2(b)と同様である。さらに、図15に示すCMOSインバータ111を構成するドーパドポリシリコンゲート電極144、154には、金属配線261が接続され、この金属配線261によりドライブ信号が入力される。そして、pMOSTランジスタのp<sup>+</sup>ドレイン領域142とnMOSTランジスタのn<sup>+</sup>ドレイン領域152とは金属配線263により互いに接続され、この金属配線262は、上アーム出力素子のゲートに接続されている。このようにpエミッタ領域は素子分離領域(6, 7)で囲まれた島状のn<sup>-</sup>型半導体領域147中の任意の位置、即ち「空きスペース」に配置することができ、特に島状のn<sup>-</sup>型半導体領域147の面積を大きくする必要はない。

【0073】従って、素子分離領域(6, 7)で囲まれた島状のn<sup>-</sup>型半導体領域147、149、157、159、……のそれぞれの周辺部、即ち、それぞれのn<sup>-</sup>型半導体領域147、149、157、159、……を取り囲むように、それぞれのn<sup>-</sup>型半導体領域147、149、157、159、……とそれぞれの素子分離領域(6, 7)との界面にそれぞれドーナツ状のpエミッタ領域を形成しても良い。このようにそれぞれの島状のn<sup>-</sup>型半導体領域147、149、157、159、……を取り囲むようにドーナツ状のpエミッタ領域を形成するには以下のようにすればよい。

【0074】(イ) 先ず、前述したようにSOI基板を用意し、n型基板の表面に格子状の素子分離用トレンチ(溝)を形成する。この格子状の素子分離用トレンチ(溝)は、先ず拡散用トレンチとして機能させる。

【0075】(ロ) 即ち、この拡散用トレンチの側壁及び底面から、BN等の固体ソース若しくはBBr<sub>3</sub>等の液体ソースを用いた気相拡散(プレデポジション)を行う。あるいは、気相拡散の代わりに、SOI基板を回転しながら、各側面に斜めイオン注入をする。そして、気相拡散(プレデポジション)若しくは斜めイオン注入の後、熱処理をしてそれぞれの島状のn<sup>-</sup>型半導体領域147、149、157、159、……を取り囲むようにドーナツ状のpエミッタ領域を形成する。結果としては、pエミッタ領域の中央部に素子分離用トレンチを形成され、素子分離用トレンチのすべての側壁にpエミッタ領域ができる。

【0076】(ハ) この側壁にpエミッタ領域が形成された素子分離用トレンチの内壁に、トレンチ側壁絶縁膜(酸化膜)を熱酸化法等により形成する。その後、不純物を添加しない多結晶シリコン、SIPOS等をCVD法により堆積することにより素子分離領域を形成する。この後の説明は前述と重複するので省略する。

【0077】以上のような製造工程によれば、素子分離用トレンチと拡散用トレンチとは同時に形成したことになるので、工程数が削減できる。

【0078】(第2の実施の形態) 図16(a)乃至図16(c)は本発明の第2の実施の形態に係る誘電体分離集積回路の中性点端子 $N_{n2}$ の電位(中点電位)依存性を示す部分断面図である。図16(a)乃至図16(c)に示すように、本発明の第2の実施の形態に係る誘電体分離集積回路は、底面の誘電体12および側面の誘電体6で分離された島状の半導体領域(n<sup>-</sup>半導体領域)147と、この半導体領域147中に配置されたフローティング状態のスイッチング素子(pMOSTランジスタ)と、スイッチング素子とは離間した位置において、n<sup>-</sup>半導体領域147中に配置された、スイッチング素子の主電流となるキャリアと同一の導電型キャリアをn<sup>-</sup>半導体領域147に注入させるためのエミッタ領

域245とを少なくとも具備している。即ち、図16(a)乃至図16(c)は、上アームドライバの出力段CMOSインバータを構成するpMOSトランジスタの断面図である。

【0079】図3に示した第1の実施の形態に係る誘電体分離集積回路と同様に、台基板1上にSOI酸化膜（埋め込み絶縁膜）12を介してn<sup>-</sup>半導体領域147を形成したSOI構造の誘電体分離集積回路であるが、図16(a)乃至図16(c)では、台基板1の図示を省略している。そして、SOI酸化膜（埋め込み絶縁膜）12、n<sup>-</sup>半導体領域147及び裏面電極2（図3参照）とで構成される寄生コンデンサC<sub>SUB</sub>でシンボリックにSOI構造を示している。

【0080】本発明の第2の実施の形態に係る誘電体分離集積回路の基本的な回路構成は、図1と同様であるが、図16(a)乃至図16(c)の部分断面図に示すように、n<sup>-</sup>半導体領域147中にnウェル246が形成され、この内部にpMOSトランジスタが形成されている。すなわちnウェル246中に、p<sup>+</sup>ソース領域（第1の主電極領域）141およびp<sup>+</sup>ドレイン領域（第2の主電極領域）142が配置されている。一方n<sup>-</sup>半導体領域147のnウェル246とは離間した位置にpエミッタ領域245が、ほぼnウェル246と同程度の深さに、深く形成されている。さらに、図示を省略しているが、nウェル246にはn<sup>+</sup>基板コンタクト領域が形成され、内部電源回路からの金属配線により、n<sup>+</sup>基板コンタクト領域とp<sup>+</sup>ソース領域141とが互いに接続されている。内部電源回路は、図4に示したようなブートストラップ方式の簡単な回路である。中性点端子N<sub>N2</sub>の電位（中点電位）が引き上げられると、内部電源回路の入力に接続されたコンデンサC<sub>I</sub>（図1参照）を介して、n<sup>+</sup>基板コンタクト領域とp<sup>+</sup>ソース領域141の電位は、ほぼ高電圧まで引き上げられる。

【0081】図16(b)は、図16(a)よりも中点電位が高い場合で、中点電位が高くなると、フローティング状態のn<sup>-</sup>半導体領域147には、SOI酸化膜（埋め込み絶縁膜）12からの空乏層5が上方に延びてくる。本発明の第2の実施の形態ではSOI酸化膜12から伸びる空乏層5を、図16(b)に示すようにnウェル246の底部の位置で止め、p<sup>+</sup>ソース領域141まで到達させない。

【0082】図16(b)よりも、更に中点電位を高くしても、空乏層5の伸びはnウェル246の底部の位置で止まったままである。図16(c)は、図16(b)よりも、更に中点電位が高い場合であり、図16(b)と同様に、空乏層5の伸びがnウェル246の底部の位置に維持されていることが示されている。しかし、更に中点電位が高くなることにより、SOI酸化膜12の上部近傍に正孔（ホール）が蓄積され、p反転層4が形成されている。そのように空乏層5の伸びがnウェル24

6の底部の位置止まっているが、空乏層5の下部にp反転層4が形成された状態で、pエミッタ領域245と接地電位（GND）との間の電位差が、正確にはpエミッタ領域245とn<sup>-</sup>半導体領域147との間の電位差が、pエミッタ領域245とn<sup>-</sup>半導体領域147との間のビルトインポテンシャル分を越えるとpエミッタ領域245からn<sup>-</sup>半導体領域147を介して空乏層5へ、さらには、空乏層5を介してその下部にp反転層4にホールの注入が生じ、内部電源回路の出力の変動を抑えることができる。

【0083】このように、発明の第2の実施の形態に係る誘電体分離集積回路においては、寄生コンデンサC<sub>SUB</sub>を流れるこの変位電流J<sub>d</sub>は、主にpエミッタ領域245からのホールの注入によって供給される。そのため、図4に示すような簡単な回路構成でも、従来問題になった変位電流J<sub>d</sub>による内部電源電圧の低下は起こりにくくなる。また、図16(a)乃至図16(c)の部分断面図に示したpMOSトランジスタがフローティング状態で動作し、このpMOSトランジスタが、内部電源回路以外の特定の内部回路に接続されている場合においても、底面の寄生MOS（MIS）構造に変位電流J<sub>d</sub>が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動することを有効に防止できるので、安定な動作が可能な誘電体分離集積回路を提供することができる。

【0084】このようにして、図16(a)乃至図16(c)の部分断面図に示したpMOSトランジスタが、内部電源回路やその他の内部回路に接続されている場合において、出力電圧や回路パラメータの変動が有効に防止でき、安定且つ高速な誘電体分離集積回路の動作ができる。同時に、内部電源回路やその他の内部回路の小型・簡単化が容易で、チップサイズの縮小が可能となる。また、単純で小型の内部電源回路やその他の内部回路が採用できるので、内部電源回路やその他の内部回路の消費電力も少なくなる。このため、出力素子の駆動回路の低消費電力化が容易となり、システムとしての電力変換効率も高くなる。この結果、安定で、且つ高速動作可能な高耐圧誘電体分離集積回路が実現出来る。

【0085】（第3の実施の形態）図17(a)は、本発明の第3の実施の形態に係る誘電体分離集積回路を説明するための比較用の等価回路図であり、図3に示した上アームドライバ102を構成するCMOSインバータ111及びこのインバータ111の寄生コンデンサを示す。図17(a)に示すように、CMOSインバータ111はpMOSトランジスタQ<sub>p1</sub>とnMOSトランジスタQ<sub>n1</sub>とから構成され、その出力が上アーム出力素子Q<sub>u1</sub>としてのIGBTのゲートに入力されている。図17(b)はこのCMOSインバータ111のpMOSトランジスタQ<sub>p1</sub>に着目した模式的な断面図である。

【0086】図17(b)に示すように、n型の台基板

1の上に設けられたSOI酸化膜(埋め込み絶縁膜)12により底面を、素子分離用のトレンチ側壁絶縁膜(酸化膜)6で側面を分離された島状の半導体領域(n<sup>-</sup>半導体領域)147中に、フローティング状態のpMOSトランジスタQ<sub>p1</sub>が配置されている。このpMOSトランジスタQ<sub>p1</sub>は、n<sup>-</sup>半導体領域147中に、n<sup>+</sup>基板コンタクト領域143、p<sup>+</sup>ソース領域141およびp<sup>+</sup>ドレイン領域142が配置され、内部電源回路105からの金属配線により、正電位がn<sup>+</sup>基板コンタクト領域143とp<sup>+</sup>ソース領域141に供給されている。n型の台基板1の裏面に形成された裏面電極2は通常接地電位にされるので、正電位の内部電源回路105から見れば、裏面電極2は負電位である。このようなバイアス状態においては、SOI酸化膜12の上面には、反転層4が形成され、さらに反転層4とp<sup>+</sup>ソース領域141との間には空乏層5が形成されている。SOI酸化膜12の下面には、電子が蓄積され蓄積層8が形成されている。従って、図17(b)に示したSOI構造においては、SOI酸化膜12をキャパシタ絶縁膜とするコンデンサC<sub>ox</sub>、及びp<sup>+</sup>ソース領域141とSOI酸化膜12の間に形成された空乏層容量C<sub>dn</sub>との直列接続からなる寄生コンデンサC<sub>SUB</sub>が形成されることとなる。このような、寄生コンデンサC<sub>SUB</sub>を有すると、既に説明したように、ため、中点電位の電圧変動率dV/dtが数kV/μsec以上にスイッチング速度が速くなってくると、寄生コンデンサC<sub>SUB</sub>に流れる変位電流J<sub>d</sub>が大きくなっていく。

【0087】図18(a)は、本発明の第3の実施の形態に係る誘電体分離集積回路の上アームドライバを構成するCMOSインバータ111の近傍のみを示す回路図である。図17(a)と同様に、CMOSインバータ111はpMOSトランジスタQ<sub>p1</sub>とnMOSトランジスタQ<sub>n1</sub>とから構成され、その出力が上アーム出力素子Q<sub>u1</sub>としてのIGBTのゲートに入力されている。しかし、図17(a)と異なり、pMOSトランジスタQ<sub>p1</sub>のソースには、空乏層容量C<sub>dn</sub>、コンデンサC<sub>ox</sub>、及び空乏層容量C<sub>dp</sub>との直列接続からなる寄生コンデンサC<sub>SUB</sub>が接続されている。

【0088】図18(b)は、これらの空乏層容量C<sub>dn</sub>、コンデンサC<sub>ox</sub>、及び空乏層容量C<sub>dp</sub>を説明するための、pMOSトランジスタQ<sub>p1</sub>に着目した模式的断面図である。図18(b)に示すように、本発明の第3の実施の形態に係る誘電体分離集積回路は、p型の台基板1を用いている点で、図17(b)とは異なる。このpMOSトランジスタQ<sub>p1</sub>の構造は、基本的に図17(b)と同一であり、正電位がn<sup>+</sup>基板コンタクト領域143とp<sup>+</sup>ソース領域141に供給されている。n型の台基板1の裏面に形成された裏面電極2は通常接地電位にされるので、正電位の内部電源回路105から見れば、裏面電極2は負電位である。このようなバイアス状態においては、SOI酸化膜12の上面には、反転層4が形成され、さらに反転層4とp<sup>+</sup>ソース領域141との間には空乏層5が形成されている。しかし、p型の台基板1を用いているため、図17(b)とは異なり、SOI酸化膜12の下面には、空乏層9が形成されている。従って、図18(b)に示したSOI構造においては、p<sup>+</sup>ソース領域141とSOI酸化膜12の間に形成された空乏層容量C<sub>dn</sub>、SOI酸化膜12をキャパシタ絶縁膜とするコンデンサC<sub>ox</sub>、及びSOI酸化膜12の下面に形成された空乏層容量C<sub>dp</sub>との直列接続からなる寄生コンデンサC<sub>SUB</sub>が形成されることとなる。つまり、n型の台基板1を用いた場合には、寄生コンデンサの容量C<sub>SUBn</sub>は、

$$1/C_{SUBn} = 1/C_{dn} + 1/C_{ox} \cdots \cdots (1)$$

で示されるのに対し、p型の台基板1を用いた場合には、寄生コンデンサの容量C<sub>SUBp</sub>は、

$$1/C_{SUBp} = 1/C_{dn} + 1/C_{ox} + 1/C_{dp} \cdots \cdots (2)$$

で示される。(1)式と(2)式とを比較すれば、p型の台基板1を用い、台基板1側に空乏層を形成することにより、C<sub>SUBp</sub>を顕著に減少させることが可能であることが分かる。そして、C<sub>SUBp</sub>が減少することにより、中点電位の電圧変動率dV/dtが数kV/μsec以上に大きくなっても、寄生コンデンサC<sub>SUBp</sub>に流れる変位電流J<sub>d</sub>があまり大きくなりませんので、内部電源回路の出力の変動を抑えることができる。

【0089】さらに、p型の台基板1の比抵抗を数十Ω・cm乃至kΩ・cm、あるいはこれ以上の高抵抗にすることにより、C<sub>SUBp</sub>に直列に接続される等価抵抗R<sub>SUB</sub>が大きくなり、変位電流J<sub>d</sub>を更に小さくできる。p型の台基板1を高比抵抗にすることにより、空乏層は、p型の台基板1の下方により厚く広がる。数kΩ・cm以上の高比抵抗において、所定の高電圧が印加されれば、

p型の台基板1のほぼ全体が空乏化出来る。従って、空乏層幅の増大に伴い、C<sub>SUBp</sub>の減少がより顕著になる。

【0090】このように、本発明の第3の実施の形態に係る誘電体分離集積回路においては、C<sub>SUBp</sub>の値の減少に伴い、寄生コンデンサC<sub>SUBp</sub>に流れる変位電流J<sub>d</sub>が相対的に小さくなるので、図4に示すような簡単な回路構成でも、従来問題になった変位電流J<sub>d</sub>による内部電源電圧の低下は起こりにくくなる。また、図18に示したpMOSトランジスタは、内部電源回路105に接続されている場合であるが、より一般的には、フローティング状態で動作するpMOSトランジスタが、内部電源回路以外の特定の内部回路に接続されている場合においても、C<sub>SUBp</sub>の値の減少に伴い、寄生コンデンサC<sub>SUBp</sub>に流れる変位電流J<sub>d</sub>が相対的に小さくなるので、この特定の内部回路に影響を及ぼし、回路パラメータが変動

することを有効に防止できるので、安定な動作が可能な誘電体分離集積回路を提供することができる。

【0091】このようにして、図18に示したpMOSトランジスタが、内部電源回路やその他の内部回路に接続されている場合において、出力電圧や回路パラメータの変動が有効に防止でき、安定且つ高速な誘電体分離集積回路の動作ができる。同時に、内部電源回路やその他の内部回路の小型・簡単化が容易で、チップサイズの縮小が可能となる。また、単純で小型の内部電源回路やその他の内部回路で採用できるので、内部電源回路やその他の内部回路の消費電力も少なくなる。このため、出力素子の駆動回路の低消費電力化が容易となり、システムとしての電力変換効率も高くなる。この結果、安定で、且つ高速動作可能な高耐圧誘電体分離集積回路が実現出来る。

【0092】図19は、本発明の第3の実施の形態の変形例に係る誘電体分離集積回路の一部を示す断面図であり、図6に示した本発明の第1の実施の形態の変形例に係る誘電体分離集積回路において、p型の台基板1を用い、SOI酸化膜12の下面に、空乏層9を構成した例である。図18(b)と同様に、p<sup>+</sup>ソース領域141とSOI酸化膜12の間に形成された空乏層容量 $C_{dn}$ 、SOI酸化膜12をキャパシタ絶縁膜とするコンデンサ $C_{ox}$ 、及びSOI酸化膜12の下面に形成された空乏層容量 $C_{dp}$ との直列接続からなる寄生コンデンサ $C_{SUB}$ が形成されることとなり、 $C_{SUB}$ が減少するので、寄生コンデンサ $C_{SUB}$ に流れる変位電流 $J_d$ があまり大きくなる。しかも、変位電流 $J_d$ は、中性点 $N_{n2}$ に接続されたpエミッタ領域242からのホールの注入によって供給されるため、内部電源回路105の電圧の低下を抑えることができる。

【0093】図20は、本発明の第3の実施の形態の他の変形例に係る誘電体分離集積回路の一部を示す断面図であり、図16(a)乃至(c)に示した本発明の第2

$$1/C_{ox} = 1/C_{ox1} + 1/C_{ox2} \cdots \cdots (3)$$

で表される。ここで、 $C_{ox1}$ はSOI酸化膜12aをキャパシタ絶縁膜とするコンデンサの容量値、 $C_{ox2}$ はSOI酸化膜12aをキャパシタ絶縁膜とするコンデンサの容量値である。2層のSOI酸化膜12a及び12cを形成することにより、容量 $C_{ox}$ が小さくなり、 $C_{SUB}$ を顕著に減少することが分かる。さらに、台基板1側に空乏層を形成することにより、 $C_{SUB}$ を減少させることが可能である。従って、寄生コンデンサ $C_{SUB}$ に流れる変位電流 $J_d$ があまり大きくなるので、内部電源回路の出力の変動を抑えることができる。しかも、変位電流 $J_d$ は、中性点 $N_{n2}$ に接続されたpエミッタ領域242からのホールの注入によって供給されるため、内部電源回路105の電圧の低下を無視できる程度に抑えることができる。

【0095】(第4の実施の形態) 本発明の第1乃至第

の実施の形態に係る誘電体分離集積回路において、p型の台基板1を用い、SOI酸化膜12の下面に、空乏層9を構成した例である。図20の断面図に示すように、n<sup>+</sup>半導体領域147中にnウェル246が形成され、この内部にpMOSトランジスタが形成されている。SOI酸化膜12から伸びる空乏層5は、図20に示すようにnウェル246の底部の位置で止められ、p<sup>+</sup>ソース領域141まで到達させない構造である。図18(b)と同様に、p<sup>+</sup>ソース領域141とSOI酸化膜12の間に形成された空乏層容量 $C_{dn}$ 、SOI酸化膜12をキャパシタ絶縁膜とするコンデンサ $C_{ox}$ 、及びSOI酸化膜12の下面に形成された空乏層容量 $C_{dp}$ との直列接続からなる寄生コンデンサ $C_{SUB}$ が形成されることとなり、 $C_{SUB}$ が減少するので、寄生コンデンサ $C_{SUB}$ に流れる変位電流 $J_d$ があまり大きくなる。しかも、変位電流 $J_d$ は、中性点 $N_{n2}$ に接続されたpエミッタ領域245らのホールの注入によって供給されるため、内部電源回路105の電圧の低下を抑えることができる。

【0094】なお、寄生コンデンサ $C_{SUB}$ の容量値を小さくするためには、SOI酸化膜をキャパシタ絶縁膜とするコンデンサ $C_{ox}$ の容量値を小さくすることも有効である。図21は、本発明の第3の実施の形態のさらに他の変形例に係る誘電体分離集積回路の一部を示す断面図であり、コンデンサ $C_{ox}$ の容量値を小さくするために、高導電層12bを挟んで、第1のSOI酸化膜12a及び第2のSOI酸化膜12cを形成した構造を示す。高導電層12bとしては、ドーパドポリシリコン、W、Ti、Mo等の高融点金属、これらのシリサイド( $WSi_2$ 、 $TiSi_2$ 、 $MoSi_2$ )等、あるいはこれらのシリサイドを用いたポリサイド等が採用できる。図21に示すように、2層のSOI酸化膜12a及び12cを形成することにより、この2層のSOI酸化膜12a及び12cの容量 $C_{ox}$ は、

3の実施の形態に係るパワーICでは、ハーフブリッジドライバと称せられる制御回路からなる誘電体分離ICで、外付けの出力素子を駆動する構成を説明したが、出力素子は制御回路と同一の半導体チップ上に集積化しても良い。図22に示す本発明の第4の実施の形態の誘電体分離集積回路は、出力素子(パワーデバイス)まで含んで同一の半導体チップ上に集積化したものである。これはDCブラシレスモータなどを駆動するための回路で、U/V/Wの3つの出力系を持つ。図22に示すように、出力U用の上アーム出力素子 $Q_{uu}$ と下アーム出力素子 $Q_{du}$ との直列接続回路、出力V用の上アーム出力素子 $Q_{uv}$ と下アーム出力素子 $Q_{dv}$ との直列接続回路、及び出力W用の上アーム出力素子 $Q_{uw}$ と下アーム出力素子 $Q_{dw}$ との直列接続回路の3相の出力回路を、これらを駆動するための制御回路と同一の半導体チップ上に集積化し

ている。上アーム出力素子 $Q_{uu}$ 、 $Q_{uv}$ 、 $Q_{uw}$ 及び下アーム出力素子 $Q_{du}$ 、 $Q_{dv}$ 、 $Q_{dw}$ として、それぞれ、図22に示したIGBT以外にMOSFET、GTOサイリスタ、SIT、SIサイリスタ等の他の出力素子を用いてもかまわない。上アーム出力素子 $Q_{uu}$ 、 $Q_{uv}$ 、 $Q_{uw}$ のそれぞれの一方の主電極は高圧電源101に、下アーム出力素子 $Q_{du}$ 、 $Q_{dv}$ 、 $Q_{dw}$ のそれぞれの一方の主電極は接地電位(GND)に接続されている。そして上アーム出力素子 $Q_{uu}$ の他方の主電極と、下アーム出力素子 $Q_{du}$ の他方の主電極とが、中性点端子 $N_{nu}$ に、上アーム出力素子 $Q_{uv}$ の他方の主電極と、下アーム出力素子 $Q_{dv}$ の他方の主電極とが、中性点端子 $N_{nv}$ に、上アーム出力素子 $Q_{uw}$ の他方の主電極と、下アーム出力素子 $Q_{dw}$ の他方の主電極とが、中性点端子 $N_{nw}$ に接続され、このそれぞれの中性点端子 $N_{nu}$ 、 $N_{nv}$ 、 $N_{nw}$ は図示を省略した3相の負荷に接続される。

【0096】図22に示すように、上アーム出力素子 $Q_{uu}$ は、フローティング状態の上アームドライバ302Uにより駆動され、上アーム出力素子 $Q_{uv}$ は、フローティング状態の上アームドライバ302Vにより、上アーム出力素子 $Q_{uw}$ は、フローティング状態の上アームドライバ302Wにより駆動される。すなわち上アーム出力素子 $Q_{uu}$ 、 $Q_{uv}$ 、 $Q_{uw}$ のそれぞれの制御電極には上アームドライバ302U、302V、302Wの出力端子が接続される。一方下アーム出力素子 $Q_{du}$ 、 $Q_{dv}$ 、 $Q_{dw}$ のそれぞれの制御電極には、下アームドライバ303U、303V、303Wの出力端子が接続される。上アームドライバ302Uは内部電源回路105Uと中性点端子 $N_{nu}$ 間に接続され、上アームドライバ302Vは内部電源回路105Uとは独立した他の内部電源回路と中性点端子 $N_{nv}$ 間に接続され、上アームドライバ302Wは内部電源回路105Uとは独立した更に他の内部電源回路と中性点端子 $N_{nw}$ 間に接続され、それぞれ所定の電源電圧を供給される。それぞれの内部電源回路は、前述したブートストラップ方式の簡単な回路である。内部電源回路105Uは、ダイオード $D_{Iu}$ を介して低電位側電極106に接続され、ダイオード $D_{Iu}$ との接続部分にコンデンサ $C_{Iu}$ が入っている。V相及びW相用の他の独立した内部電源回路にもそれぞれ、ダイオード $D_{Iu}$ とは異なる他のダイオード、及びコンデンサ $C_{Iu}$ とは異なる他のコンデンサが接続されている。

【0097】一方下アームドライバ303U、303V、303Wは、それぞれ低電位側電源106と接地電位(GND)間に接続され、それぞれ所定の電源電圧を供給される。上アームドライバ302Uにはトランジスタ $Q_{cu}$ を介して上下3相分配ロジック304から上アーム用制御信号が、下アームドライバ303Uには上下3相分配ロジック304から直接下アーム用制御信号が入力される。同様に、上アームドライバ302V、302Wにはトランジスタを介して上下3相分配ロジック30

4から上アーム用制御信号が、下アームドライバ303V、303Wには上下3相分配ロジック304から直接下アーム用制御信号が入力される。

【0098】図22に示すように、上アームドライバ302Uは上アームCMOSインバータ311と上アーム・バッファアンプ321および上アーム・コントロールロジック331から構成されている。一方、下アームドライバ303Uは下アームCMOSインバータ312と、下アーム・バッファアンプ322および下アーム・コントロールロジック332とから構成されている。図示を省略しているが、上アームドライバ302V、302W及び下アームドライバ303V、303Wも同様な構成であることは勿論である。

【0099】図22に示す構成において、上アーム出力素子 $Q_{uu}$ 、 $Q_{uv}$ 、 $Q_{uw}$ 及び下アーム出力素子 $Q_{du}$ 、 $Q_{dv}$ 、 $Q_{dw}$ は、それぞれ上アームドライバ302U、302V、302Wおよび下アームドライバ303U、303V、303Wにより駆動され、それぞれ交互にオン/オフを行う。したがって中性点端子 $N_{nu}$ 、 $N_{nv}$ 、 $N_{nw}$ の電位は上アーム出力素子 $Q_{uu}$ 、 $Q_{uv}$ 、 $Q_{uw}$ 及び下アーム出力素子 $Q_{du}$ 、 $Q_{dv}$ 、 $Q_{dw}$ の交互のオン/オフに伴って、接地電位(GND)と高圧電源101の電圧レベルの間で上昇・下降を繰り返す。

【0100】このため、それぞれの出力系の上アーム内の回路302U、303V、303Wは第1の実施の形態で説明したハーフブリッジドライバの場合とほぼ同様の、寄生コンデンサ $C_{SUB}$ を流れる変位電流 $J_{dd}$ による内部電源電圧の低下問題が懸念される。本発明の第4の実施の形態に係るパワーICでは、上アーム内の回路302U、303V、303Wを構成するCMOSインバータには、それぞれバイパスダイオード $D_{bp}$ が接続され、このバイパスダイオード $D_{bp}$ を介して介して中性点端子 $N_{nu}$ 、 $N_{nv}$ 、 $N_{nw}$ に接続されている。図22では、上アームドライバ302Uのみが図示されているので、この上アームドライバ302Uで説明する。

【0101】即ち、図22に示すように、上アームドライバ302Uを構成するCMOSインバータ311はpMOSトランジスタとnMOSトランジスタとから構成されている。pMOSトランジスタのソース電極(第1の主電極)は、内部電源回路105Uに、ドレイン電極(第2の主電極)は、nMOSトランジスタのドレイン電極に接続されている。そして、pMOSトランジスタの基板電極は、ソース電極に接続されると共に、バイパスダイオード $D_{bp}$ を介して中性点端子 $N_{nu}$ に接続されている。

【0102】このバイパスダイオード $D_{bp}$ は、図3、図5又は図16(a)-Cのようにpエミッタ領域を設け、このpエミッタ領域を中性点端子 $N_{nu}$ に接続すればよい。具体的には、スイッチング素子としてのpMOSトランジスタを、埋め込み絶縁膜等の底面の誘電体およ

び側面の誘電体により隣接する他の半導体領域と分離された島状の半導体領域中に配置し、さらにこの半導体領域に、pエミッタ領域を形成して、埋め込み絶縁膜等の底面の誘電体に起因した寄生コンデンサを流れる変位電流成分を供給すればよい。pエミッタ領域を中点電位に接続することで、変位電流 $J_d$ による内部電源回路105Uの電圧の低下を防ぐことができる。

【0103】このように、発明の第4の実施の形態に係るパワーICにおいては、寄生コンデンサ $C_{sub}$ を流れる変位電流 $J_d$ は、主にバイパスダイオード $D_{bp}$ からのホールの注入によって供給される。そのため、図4に示すような簡単な内部電源回路の回路構成でも、従来問題になった変位電流 $J_d$ による内部電源電圧の低下は起こりにくくなる。図示を省略したV相及びW相についても同様である。従って、各相の内部電源回路の小型化により、チップサイズの小型化ができる。また、このような単純な回路では消費電力も少なく、出力素子の駆動回路の低消費電力化が容易となり、システムとしての電力変換効率も高くなる。この結果、安定で、且つ高速動作可能な高周波誘電体分離集積回路が実現出来る。

【0104】(その他の実施の形態) 上記のように、本発明は第1乃至第4実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなる。

【0105】例えば、上記の第1乃至第4の実施の形態の説明においては、正の高圧電源に上アーム出力素子を接続し、上アーム出力素子の制御電極に接続された上アームドライバがフローティング状態となる場合について説明したが、これに限られるものではない。同様の技術的思想は、フローティング状態となる半導体素子が接続される内部電源回路やその他の内部回路をもち、SOI構造を構成する台基板の電位からの変動による変位電流が、これらの内部電源回路やその他の内部回路の動作に影響を及ぼすような回路構成を含む誘電体分離集積回路であれば適用可能であるので、他の電位関係を有する誘電体分離集積回路であっても勿論よい。即ち、負の高圧電源に下アーム出力素子を接続し、下アーム出力素子の制御電極に接続された下アームドライバがフローティング状態となるような誘電体分離集積回路のような、電位関係が逆転した場合であってもかまわない。この場合は、上記第1乃至第4の実施の形態の説明における極性及び導電型を反転すれば同様に適用可能であることは容易に理解できるであろう。第3の実施の形態の説明における、空乏層を台基板の下方に拡げるためには、p型の台基板の代わりにn型の台基板を使用することになることは勿論である。

【0106】既に述べた第1乃至第4の実施の形態の説明においては、pMOSトランジスタがフローティング

状態となる場合について例示したが、本発明の技術的思想は、これらの実施の形態で説明したpMOSトランジスタに限られるものではない。即ち、第1乃至第4の実施の形態においては、正の高圧電源に上アーム出力素子を接続し、フローティング状態となる上アーム出力素子の制御電極に、フローティング状態で動作するスイッチング素子が接続される。この場合は、フローティング状態で動作するスイッチング素子としては、既に説明したpMOSトランジスタ以外に、pnnpバイポーラトランジスタ、pチャネルSIT等のpチャネル半導体素子が適用できる。一方、負の高圧電源に下アーム出力素子を接続し、フローティング状態となる下アーム出力素子の制御電極に、下アームドライバがフローティング状態となるように接続される。この場合は、フローティング状態で動作するスイッチング素子としては、nMOSトランジスタ、npnバイポーラトランジスタ、nチャネルSITのnチャネル半導体素子が適用できる。さらに、これらのpチャネル半導体素子やnチャネル半導体素子に隣接して、nMOSトランジスタ、npnバイポーラトランジスタ、pnnpバイポーラトランジスタ、nチャネルSIT、pチャネルSIT、あるいはダイオード等の他の半導体素子が隣接して配置されていてもかまわないことは勿論である。

【0107】さらに、本発明の技術的思想は、例えば、n型半導体領域中にpウェルがあり、その中にnMOSトランジスタが形成されている場合でも適用可能である。多くの場合、n型半導体領域中のpウェルは低電位側、もしくは基準電位、即ち中点電位に接続されている。この場合はフローティング状態とはならないので、本発明を適用するまでもない。しかし、pウェルが基準電位から浮かんだ、フローティング状態で用いられるnMOSトランジスタの場合は、第1乃至第4の実施の形態と同様に、pエミッタ領域を設け、このpエミッタ領域を中点電位に固定すればよい。この場合、pエミッタ領域は素子(nMOSトランジスタ)を形成しているpウェルから一定の距離を保って形成すればよい。この拡散層間の「一定の距離」は内部電源電圧を支えられるほどの逆耐圧を持つように設定することは勿論である。即ち、フローティング状態となる半導体領域がp拡散層やn拡散層を有し、このp拡散層やn拡散層が、内部電源回路やその他の内部回路に接続されるような構造の誘電体分離集積回路に対して、本発明は適用可能で、この適用により有効に機能する。これら種々の半導体素子の場合でも、第1乃至第4の実施の形態と同様に、変位電流成分を供給するためのエミッタ領域を設け、このエミッタ領域を中点電位に固定すればよい。多くの場合このエミッタ領域は、対象とする半導体素子の半導体領域とは逆バイアス関係になるので、これらの動作に影響を与えることはない。あるいは、上記のnMOSトランジスタの場合のように、pウェルと本発明のpエミッタ領域と

を、内部電源電圧相当の逆耐圧が維持できる距離で配置すれば、これらの半導体素子の動作に影響を与えることはない。

【0108】また、図4は、本発明の第1の実施の形態に係る誘電体分離集積回路に用いる内部電源回路105の一例を示したにすぎず、種々の方式及び回路構成の内部電源回路が採用可能であることは勿論である。同様に、本発明の第2乃至第4の実施の形態に係る誘電体分離集積回路においても、図4に示した内部電源回路105が適用可能であるし、図4に示した内部電源回路105以外の種々の方式及び回路構成の内部電源回路が採用可能である。

【0109】このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【0110】

【発明の効果】本発明によれば、種々のスイッチングするブロックが同一チップ上に集積化された誘電体分離集積回路において、その電圧変動率  $dV/dt$  が大きくなっても、安定した動作が保証され、その結果、信頼性の高い誘電体分離集積回路を提供することが出来る。

【0111】本発明によれば、内部電源回路は小さな簡単な構成の回路で十分であり、誘電体分離集積回路のチップサイズの縮小が可能である。

【0112】本発明によれば、誘電体分離集積回路に固有の底面の寄生MOS(MIS)構造に変位電流  $J_d$  が流れることを防止、若しくは低減し、或いは変位電流  $J_d$  が流れることにより、特定の内部回路に影響を及ぼすことを有効に防止でき、安定な動作が可能な誘電体分離集積回路を提供することができる。

【0113】本発明によれば、フローティング状態で動作し、この半導体素子が特定の内部回路に接続されている場合において、底面の寄生MOS(MIS)構造に変位電流  $J_d$  が流れることにより、この特定の内部回路に影響を及ぼし、回路パラメータが変動することを有効に防止でき、安定な動作が可能な誘電体分離集積回路を提供することができる。

【0114】本発明によれば、内部電源回路の消費電力が少なくできるので、電力変換効率が高く、且つ高速動作可能な誘電体分離集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る誘電体分離集積回路の回路図である。

【図2】図2(a)は図1の上アームドライバの出力段CMOSインバータの近傍を示す回路図で、図2(b)は図2(a)に示したCMOSインバータのパターンの平面図である。

【図3】図3の平面図のB-B方向に沿った断面図であ

る。

【図4】本発明の第1の実施の形態に係る誘電体分離集積回路に用いる内部電源回路の回路図である。

【図5】本発明の第1の実施の形態の変形例に係る誘電体分離集積回路の一部を示す模式的な断面図である。

【図6】本発明の第1の実施の形態の他の変形例に係る誘電体分離集積回路の一部を示す模式的な断面図である。

【図7】本発明の第1の実施の形態のさらに他の変形例に係る誘電体分離集積回路の一部を示す模式的な断面図である。

【図8】本発明の第1の実施の形態のさらに他の変形例に係る誘電体分離集積回路の一部を示す模式的な断面図である。

【図9】図9(a)は、図8に示す誘電体分離集積回路を製造するための工程平面図(その1)で、図9(b)は、図9(a)のB-Bに沿った階段断面図である。

【図10】図10(a)は、図8に示す誘電体分離集積回路を製造するための工程平面図(その2)で、図10(b)は、図10(a)のB-Bに沿った階段断面図である。

【図11】図11(a)は、図8に示す誘電体分離集積回路を製造するための工程平面図(その3)で、図11(b)は、図11(a)のB-Bに沿った階段断面図である。

【図12】図12(a)は、図8に示す誘電体分離集積回路を製造するための工程平面図(その4)で、図12(b)は、図12(a)のB-Bに沿った階段断面図である。

【図13】図13(a)は、図8に示す誘電体分離集積回路を製造するための工程平面図(その5)で、図13(b)は、図13(a)のB-Bに沿った階段断面図である。

【図14】図14(a)は、図8に示す誘電体分離集積回路を製造するための工程平面図で(その6)、図14(b)は、図14(a)のB-Bに沿った階段断面図である。

【図15】本発明の第1の実施の形態のさらに他の変形例に係る誘電体分離集積回路の一部の平面図である。

【図16】図16(a)乃至図16(c)は本発明の第2の実施の形態に係る誘電体分離集積回路の中性点端子  $N_{n2}$  の電位(中点電位)依存性を示す部分断面図である。

【図17】図17(a)は、本発明の第3の実施の形態に係る誘電体分離集積回路と比較するための参考図であり、pMOSトランジスタ  $Q_{p1}$  の寄生容量を示す等価回路図であり、図17(b)は、図17(a)に示したpMOSトランジスタ  $Q_{p1}$  に着目した図であり、n型の台基板の上にpMOSトランジスタを形成することにより、SOI酸化膜の下面に蓄積層が形成されることを説

明する模式的な断面図である。

【図18】図18(a)は、本発明の第3の実施の形態に係る誘電体分離集積回路のpMOSトランジスタの寄生容量を示す等価回路図で、図18(b)は、図18(a)に示したpMOSトランジスタに着目した図であり、p型の台基板の上にpMOSトランジスタを形成することにより、p型の台基板に空乏層が拡がることを説明する模式的な断面図である。

【図19】本発明の第3の実施の形態の変形例に係る誘電体分離集積回路の一部を示す模式的な断面図である。

【図20】本発明の第3の実施の形態の他の変形例に係る誘電体分離集積回路の一部を示す模式的な断面図である。

【図21】本発明の第3の実施の形態のさらに他の変形例に係る誘電体分離集積回路の一部を示す模式的な断面図である。

【図22】本発明の第4の実施の形態に係るパワーICの回路図である。

【図23】従来のSOI構造を有した誘電体分離ICを示す断面図である。

【図24】従来の誘電体分離集積回路の回路図である。

【図25】他の従来の誘電体分離集積回路の回路図である。

【図26】図24および図25に示した誘電体分離集積回路の上アーム側出力/下アーム側出力/中点出力の時間変化を示す図である。

【図27】図27(a)は従来の誘電体分離集積回路の上アームドライバの出力段CMOSインバータの近傍を示す回路図で、図27(b)はその平面図である。

【図28】図27(b)のA-A方向に沿った断面図である。

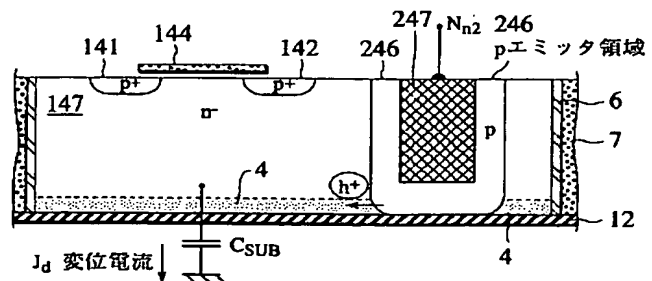
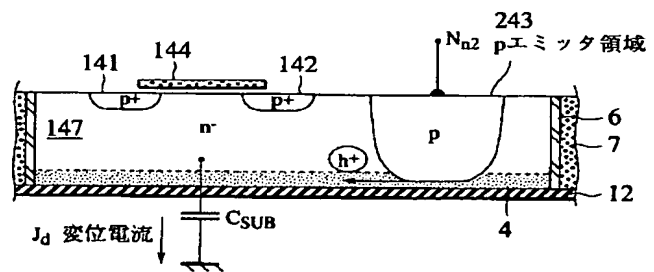
【符号の説明】

- 1 台基板
- 2 裏面電極
- 3 フィールド絶縁膜
- 4 p反転層
- 5, 9 空乏層
- 6 トレンチ側壁絶縁膜
- 7 トレンチ埋め込みポリシリコン
- 8 蓄積層
- 12, 12a, 12c SOI酸化膜(埋め込み絶縁膜)
- 12b 高導電層
- 101 高圧電源
- 102, 302U, 302V, 302W 上アームドライバ
- 103, 303U, 303V, 303W 下アームドライバ

イバ

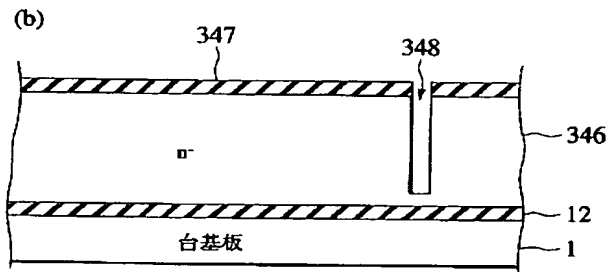
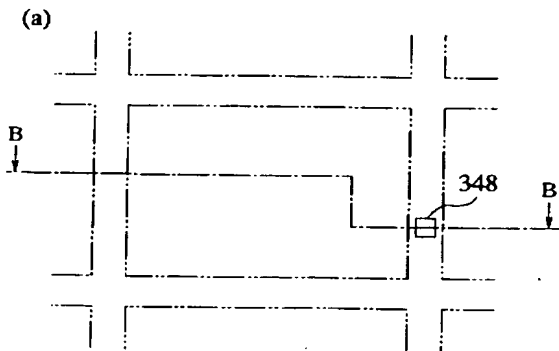
- 104 上下相分配ロジック
- 105 内部電源回路
- 111, 311 上アームCMOSインバータ
- 112, 311 下アームCMOSインバータ
- 121, 321 上アーム・バッファ・アンプ
- 122, 322 下アーム・バッファ・アンプ
- 131, 331 上アーム・コントロールロジック
- 132, 332 下アーム・コントロールロジック
- 141 p<sup>+</sup>ソース領域
- 142 p<sup>+</sup>ドレイン領域
- 143 n<sup>+</sup>基板コンタクト領域
- 144, 154 ゲート電極
- 145, 146, 155, 161, 162, 255, 256, 262, 263 金属配線
- 137, 138, 139, 140, 147, 148, 149, 157, 158, 159 Si島領域
- 151, 511 n<sup>+</sup>ソース領域
- 152, 512 n<sup>+</sup>ドレイン領域
- 153, 513 p<sup>+</sup>基板コンタクト領域
- 242, 243, 243a, 243b, 244, 245, 246, 248a, 248b, 349 pエミッタ領域
- 246 nウェル
- 247 導電性物質
- 304 3相分配ロジック
- 331 ゲート酸化膜
- 332 フォトレジスト膜
- 333 層間絶縁膜
- 347 酸化膜
- 348 拡散用トレンチ
- 351 素子分離用トレンチ(溝)
- 501 pウェル
- 601 n<sup>+</sup>エミッタ領域
- 602 pベース領域
- 603 n<sup>+</sup>コレクタ領域
- Q<sub>u1</sub>, Q<sub>u2</sub>, Q<sub>uU</sub>, Q<sub>uV</sub>, Q<sub>uW</sub> 上アーム出力素子
- Q<sub>d1</sub>, Q<sub>d2</sub>, Q<sub>dU</sub>, Q<sub>dV</sub>, Q<sub>dW</sub> 下アーム出力素子
- D<sub>u1</sub>, D<sub>u2</sub>, D<sub>uU</sub>, D<sub>uV</sub>, D<sub>uW</sub> 上アーム・リカバリーダイオード
- D<sub>d1</sub>, D<sub>d2</sub>, D<sub>dU</sub>, D<sub>dV</sub>, D<sub>dW</sub> 下アーム・リカバリーダイオード
- D<sub>bp</sub> バイパスダイオード
- C<sub>SUB</sub> 寄生コンデンサ
- N<sub>n1</sub>, N<sub>n2</sub>, N<sub>nU</sub>, N<sub>nV</sub>, N<sub>nW</sub> 中点ノード(中性点端子)

【図4】

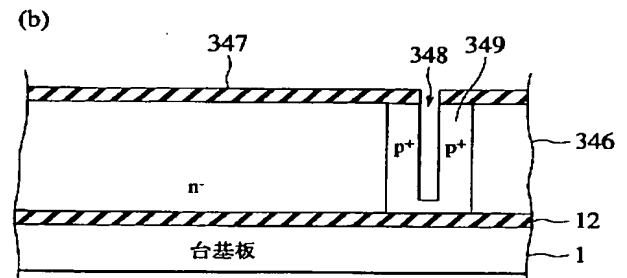
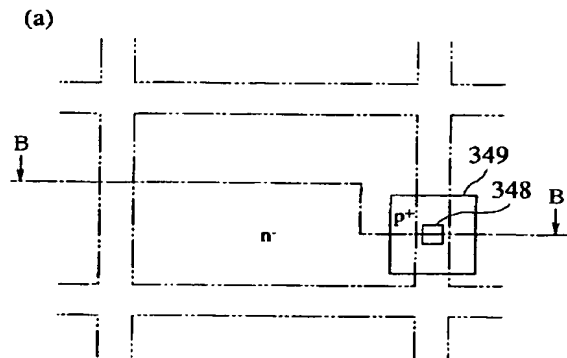




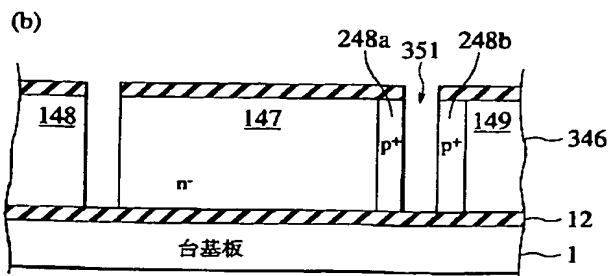
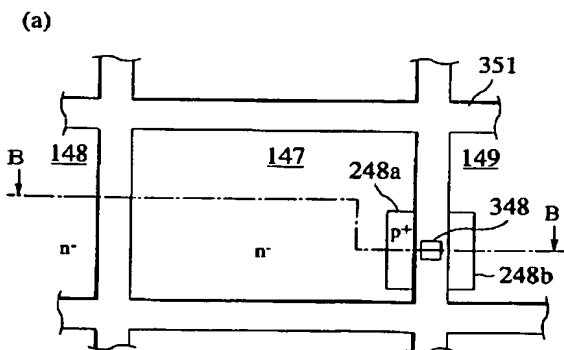
【図9】



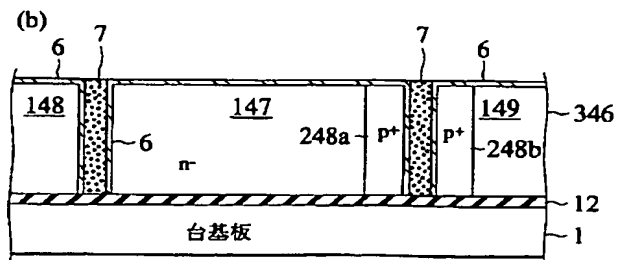
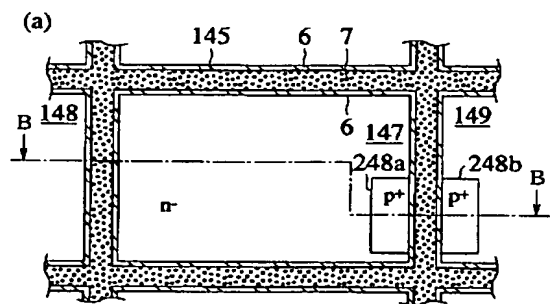
【図10】



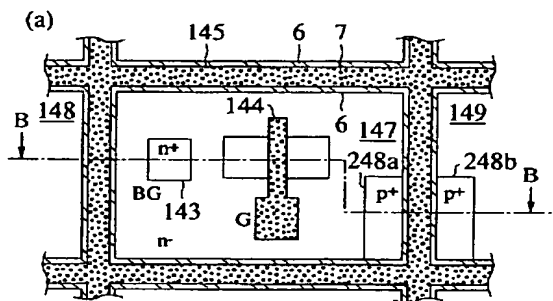
【図11】



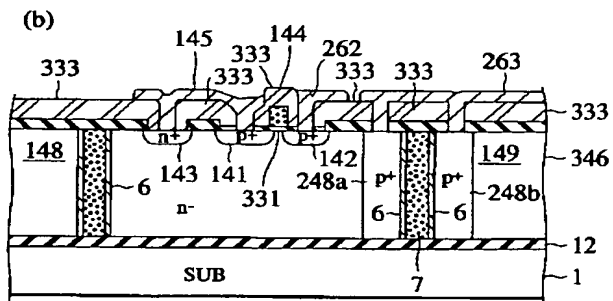
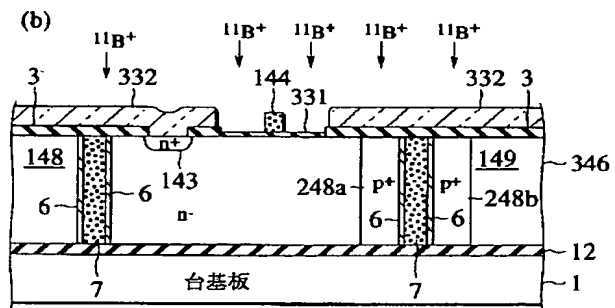
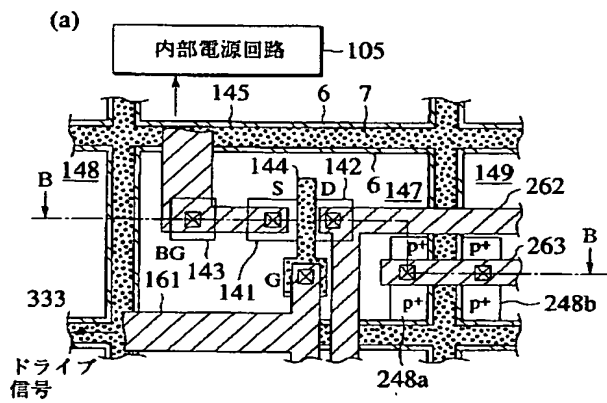
【図12】



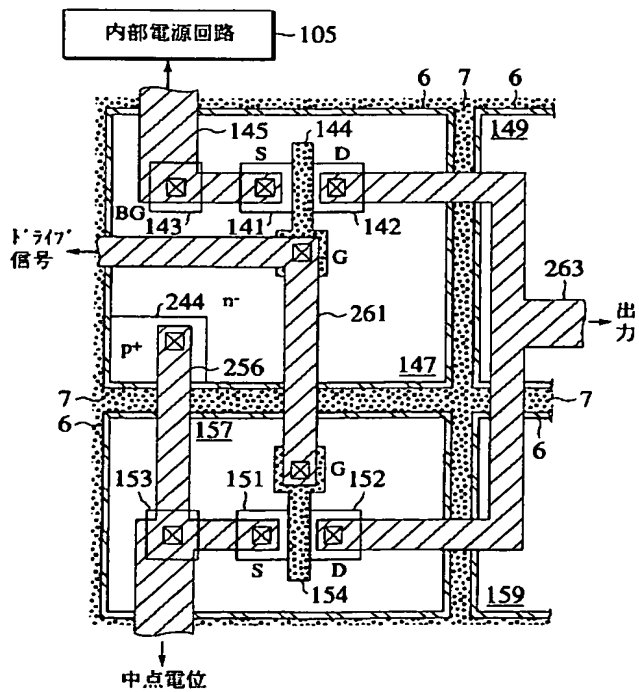
【図 13】



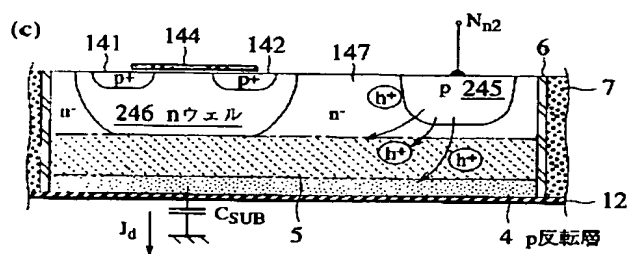
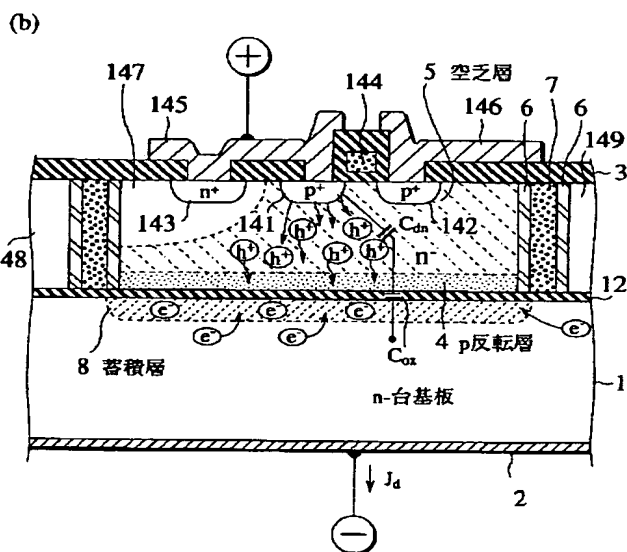
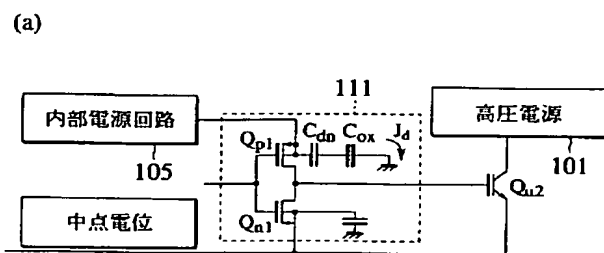
【図 14】

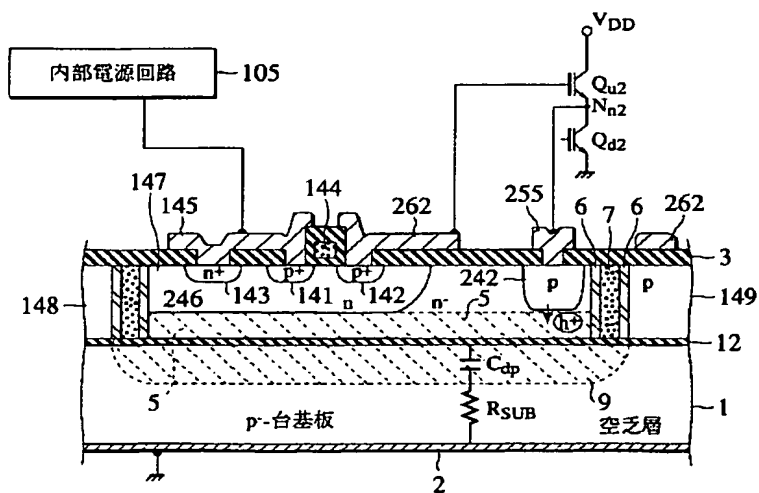
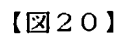


【図 15】

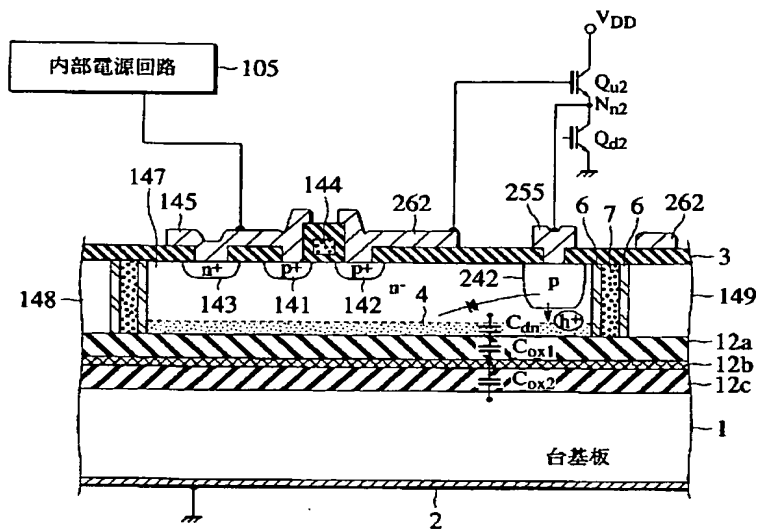


【図 17】

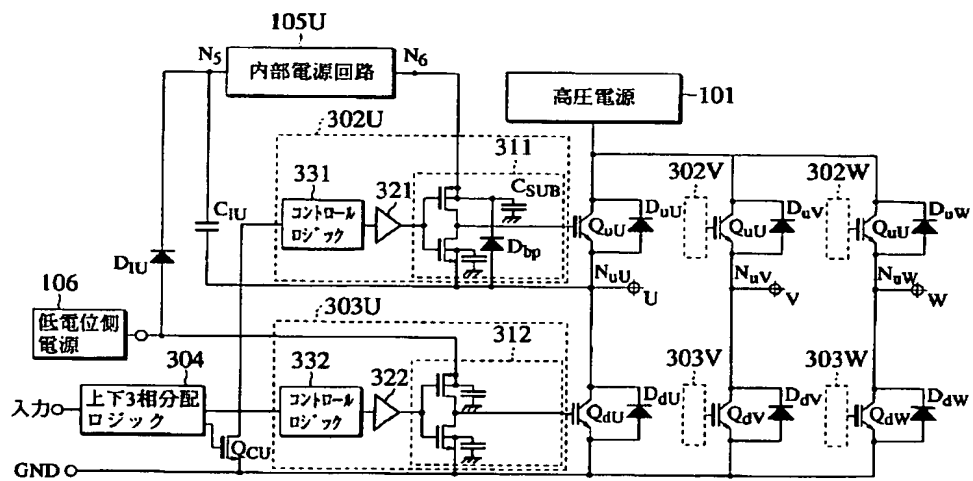




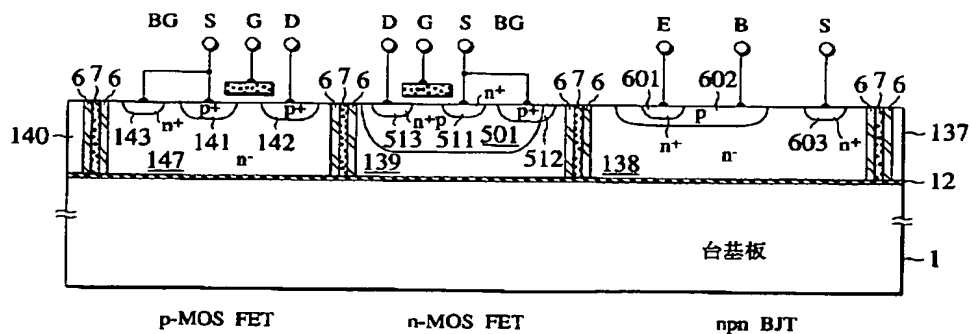
【図21】



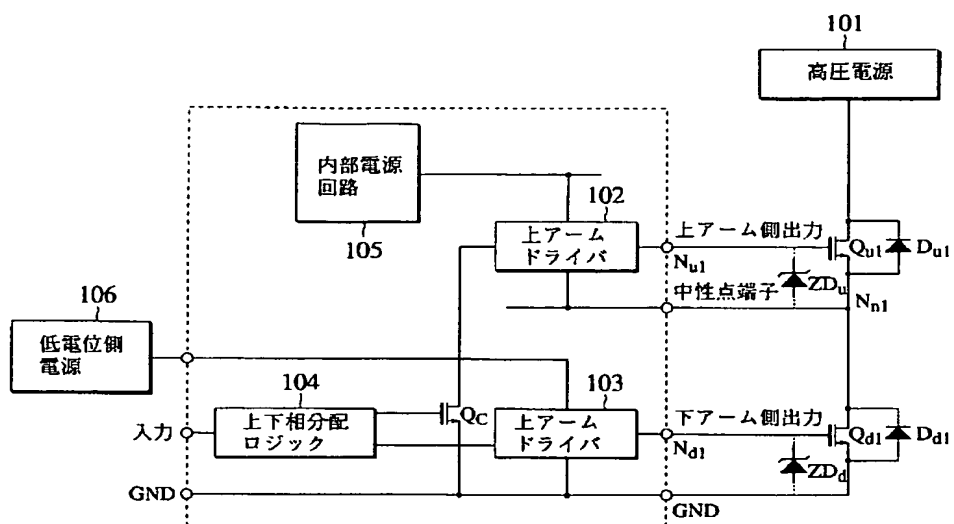
【図22】



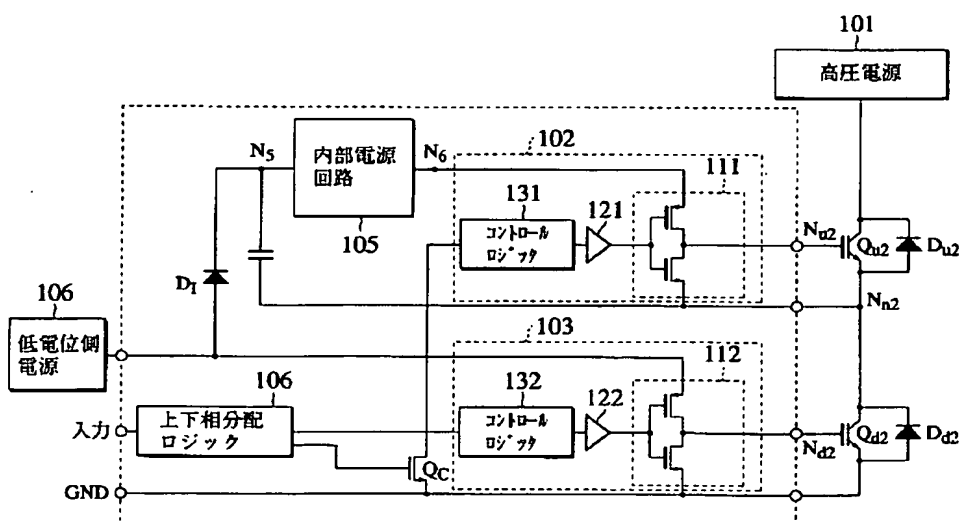
【図23】



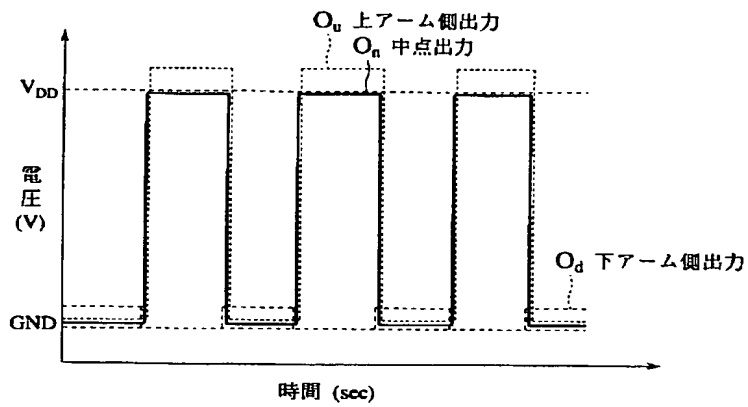
【図24】



【図25】



【図26】



【図27】

